

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: **Masao ASAI**

Filed : **Concurrently herewith**

For : **CACHE SYSTEM WHICH PERFORMS CACHE FLASH UPON
EMERGENCY AND DUAL SYSTEM**

Serial No. : **Concurrently herewith**

June 7, 2000

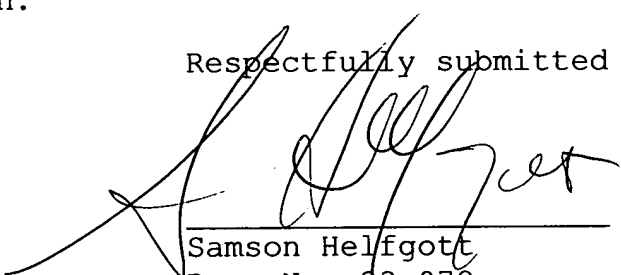
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
11-270363 of September 24, 1999 whose priority has been claimed
in the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJM17.406
LHH:priority

Filed Via Express Mail
Rec. No.: EL522391854US
On: June 7, 2000
By: Lydia Gonzalez
Any fee due with this paper, not fully
Covered by an enclosed check, may be
Charged on Deposit Acct. No. 08-1634

JCS80 U.S. PTO
09/589390



#2.
priority
paper
11-1-00
LW

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 9 月 2 4 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 2 7 0 3 6 3 号

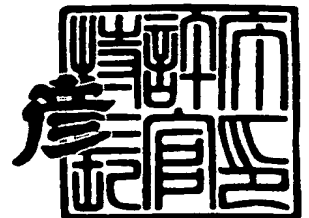
出 願 人
Applicant (s):

富士通株式会社

2 0 0 0 年 3 月 3 1 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 2 2 2 0 4

【書類名】 特許願

【整理番号】 9900319

【提出日】 平成11年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明の名称】 キャッシュシステム及び二重化システム

【請求項の数】 25

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 浅井 将夫

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100075384

 【弁理士】

 【氏名又は名称】 松本 昂

 【電話番号】 03-3582-7477

【手数料の表示】

 【予納台帳番号】 001764

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9704374

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュシステム及び二重化システム

【特許請求の範囲】

【請求項 1】 キャッシュシステムであって、

第 1 バスと、

第 2 バスと、

データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト及び前記メモリ部よりリードしたデータを前記第 1 バスに出力をするメインメモリと、

キャッシュメモリと、

前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示するコマンドを前記第 2 バスに出力する指示手段と、

前記キャッシュメモリに記憶されたデータの前記メインメモリのアドレスに関する情報を記憶するディレクトリ部と、入力される第 1 リセット信号がアサートされると、前記ディレクトリ部を除いて少なくとも前記第 1 バスの制御に係わる部分がリセットされるリセット端子とを有し、前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスより入力される前記コマンドに基いて前記キャッシュメモリのデータを前記メインメモリにライトバック処理をするキャッシュメモリ制御部と、

を具備したことを特徴とするキャッシュシステム。

【請求項 2】 キャッシュシステムであって、

第 1 バスと、

第 2 バスと、

第 3 バスと、

データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト及び前記メモリ部よりリードしたデータを前記第 1 バスに出力をするメインメモリと、

キャッシュメモリと、

前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指

示するコマンドを前記第 2 バスに出力する指示手段と、

前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスより入力される前記コマンドに基づいて前記キャッシュメモリのデータを前記メインメモリにライトバック処理をするキャッシュメモリ制御部と、

前記第 1 バス及び前記第 3 バス間をインタフェースするインタフェース部と、

前記インタフェース部の出力側と前記第 1 バスとの間に設けられ、制御端子に入力される制御信号が有効になると前記出力側と前記第 1 バスとの間の接続をアイソレートするアイソレート部と、

を具備したことを特徴とするキャッシュシステム。

【請求項 3】 キャッシュシステムであって、

第 1 バスと、

第 2 バスと、

前記第 1 バスと異なる信号線と、

データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト、前記メモリ部よりリードしたデータを前記第 1 バスに出力及び前記信号線からデータ及びアドレスを入力して前記メモリ部にライトするメインメモリと、

キャッシュメモリと、

前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示するコマンドを前記第 2 バスに出力する指示手段と、

前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスから入力された前記コマンドに基づいて前記キャッシュメモリのデータ及びアドレスを前記信号線に出力することにより前記メインメモリにライトバック処理をするキャッシュメモリ制御部と、

を具備したことを特徴とするキャッシュシステム。

【請求項 4】 一方がアクト状態、他方がスタンバイ状態で運用される第 1 システム及び第 2 システムと、前記第 1 システムと前記第 2 システムとの間を接続するメモリ交絡線及びシステム交絡線とを有する二重化システムであって、

前記第 1 システム及び前記第 2 システムの各々は、

第 1 バスと、

第 2 バスと、

データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト及び前記メモリ部よりリードしたデータを前記第 1 バスに出力をすると共に前記アクト状態の他システムのデータを前記メモリ交絡線より入力して前記メモリ部にライトするメインメモリと、

キャッシュメモリと、

前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示する第 1 コマンドを前記第 2 バスに出力する指示手段と、

前記キャッシュメモリに記憶されたデータの前記メインメモリのアドレスに関する情報を記憶するディレクトリ部と、入力される第 1 リセット信号がアサートされると、前記ディレクトリ部を除いて少なくとも前記第 1 バスの制御に係わる部分がリセットされる第 1 リセット端子とを有し、前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスより入力される前記第 1 コマンドに基いて前記キャッシュメモリのデータを前記メインメモリにライトバック処理をするキャッシュメモリ制御部と、

を具備したことを特徴とする二重化システム。

【請求項 5】 前記システム交絡線を介して前記アクト状態と前記スタンバイ状態の間の状態切り替えを制御するシステム制御部を更に具備し、

前記システム制御部は、前記アクト状態から前記スタンバイ状態への状態切り替えの際に前記第 1 リセット信号がアサートされてから前記第 1 コマンドが出力されるよう制御することを特徴とする請求項 4 記載の二重化システム。

【請求項 6】 前記キャッシュメモリ制御部は、前記第 1 リセット信号に基いて前記第 2 バスの制御に係わる部分がリセットされることを特徴とする請求項 5 記載の二重化システム。

【請求項 7】 前記メインメモリは、入力される第 2 リセット信号がアサートされると少なくとも前記第 1 バスの制御に係わる部分がリセットされる第 2 リ

セット端子を有し、前記キャッシュメモリ制御部は、前記アクト状態から前記スタンバイ状態への状態切り替えの際に前記第 2 リセット信号がアサートされてから前記第 1 コマンドが出力されるよう制御することを特徴とする請求項 5 記載の二重化システム。

【請求項 8】 一方がアクト状態、他方がスタンバイ状態で運用される第 1 システム及び第 2 システムと、前記第 1 システムと前記第 2 システムとの間を接続するメモリ交絡線及びシステム交絡線とを有する二重化システムであって、

前記第 1 システム及び前記第 2 システムの各々は、

第 1 バスと、

第 2 バスと、

第 3 バスと、

データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト及び前記メモリ部よりリードしたデータを前記第 1 バスに出力をすると共に前記アクト状態の他システムのデータを前記メモリ交絡線より入力して前記メモリ部にライトするメインメモリと、

キャッシュメモリと、

前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示する第 1 コマンドを前記第 2 バスに出力する指示手段と、

前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスより入力される前記第 1 コマンドに基いて前記キャッシュメモリのデータを前記メインメモリにライトバック処理をするキャッシュメモリ制御部と、

前記第 1 バス及び前記第 3 バス間をインタフェースするインタフェース部と、

前記インタフェース部の出力側と前記第 1 バスとの間に設けられ、第 1 制御端子に入力される第 1 制御信号が有効になると前記出力側と前記第 1 バスとの間の接続をアイソレートする第 1 アイソレート部と、

を具備したことを特徴とする二重化システム。

【請求項 9】 前記システム交絡線を介して前記アクト状態と前記スタンバイ状態との間の状態切り替えを制御するシステム制御部を更に具備し、

前記システム制御部は、前記アクト状態から前記スタンバイ状態への状態切り替えの際に前記第 1 制御信号が有効になってから前記第 1 コマンドが出力されるように制御することを特徴とする請求項 8 記載の二重化システム。

【請求項 1 0】 前記システム制御部の出力側と前記第 1 バスとの間に設けられ、第 2 制御端子に入力される第 2 制御信号が有効になると前記システム制御部の出力側と前記第 1 バスとの間の接続をアイソレートする第 2 アイソレート部を更に具備し、

前記システム制御部は、前記アクト状態から前記スタンバイ状態への状態切り替えの際に前記第 1 及び第 2 制御信号が有効になってから前記第 1 コマンドが出力されるように制御することを特徴とする請求項 9 記載の二重化システム。

【請求項 1 1】 一方がアクト状態、他方がスタンバイ状態で運用される第 1 システム及び第 2 システムと、前記第 1 システムと前記第 2 システムとの間を接続するメモリ交絡線及びシステム交絡線とを有する二重化システムであって、

前記第 1 システム及び前記第 2 システムの各々は、

第 1 バスと、

第 2 バスと、

第 1 信号線と、

データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト、前記メモリ部よりリードしたデータを前記第 1 バスに出力及び前記第 1 信号線からデータ及びアドレスを入力して前記メモリ部にライトすると共に前記アクト状態の他システムのデータを前記メモリ交絡線より入力して前記メモリ部にライトするメインメモリと、

キャッシュメモリと、

前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示する第 1 コマンドを前記第 2 バスに出力する指示手段と、

前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスから入力された前記第 1 コマンドに基いて前記キャッシュメモリのデータ及びアドレスを前記第 1 信号線に出力することにより前記メインメモリにライトバック処理をするキャッシュメモリ制

御部と、

を具備したことを特徴とする二重化システム。

【請求項 1 2】 前記システム交絡線を介して前記アクト状態と前記スタンバイ状態の間の状態切り替えを制御するシステム制御部を更に具備し、

前記システム制御部は、前記アクト状態から前記スタンバイ状態への状態切り替えの際に前記第 1 コマンドが出力される

ように制御することを特徴とする請求項 1 1 記載の二重化システム。

【請求項 1 3】 前記メインメモリと前記システム制御部との間を接続する第 2 信号線を更に具備し、前記キャッシュメモリ制御部は、前記ライトバック処理が完了すると、前記第 1 信号線を用いて前記ライトバック処理が完了した旨を通知し、前記メインメモリは、前記第 1 信号線より前記通知が行われると前記第 2 信号線をアサートし、前記アクト状態の前記システム制御部は、前記第 2 信号線がアサートされると他システムに前記システム交絡線を介してスタンバイ状態からアクト状態に切替えるよう指示することを特徴とする請求項 1 2 記載の二重化システム。

【請求項 1 4】 前記メインメモリは、前記第 1 信号線より前記通知が行われると、前記ライトバック処理が完了したことを示す情報を前記メモリ部の特定のアドレス領域にライトすることを特徴とする請求項 1 3 記載の二重化システム。

【請求項 1 5】 前記メインメモリは、レジスタを有し、前記第 1 信号線より前記通知が行われると、前記ライトバック処理が完了したことを示す情報を前記レジスタにライトすることを特徴とする請求項 1 3 記載の二重化システム。

【請求項 1 6】 前記キャッシュメモリ制御部と前記システム制御部との間を接続する第 1 信号線を更に具備し、

前記アクト状態の前記キャッシュメモリ制御部は、前記ライトバック処理が完了すると、前記第 1 信号線をアサートし、前記アクト状態の前記システム制御部は、前記第 1 信号線がアサートされると他システムに前記システム交絡線を介してスタンバイ状態からアクト状態に切替えるよう指示することを特徴とする請求項 5 又は 9 記載の二重化システム。

【請求項 17】 前記メインメモリは、前記第 1 信号線がアサートされると前記ライトバック処理が完了したことを示す情報を前記メモリ部の特定のアドレス領域にライトすることを特徴とする請求項 16 記載の二重化システム。

【請求項 18】 前記メインメモリは、レジスタを有し、前記第 1 信号線がアサートされると前記ライトバック処理が完了したことを示す情報を前記レジスタにライトすることを特徴とする請求項 16 記載の二重化システム。

【請求項 19】 前記システム制御部は、前記指示手段により周期的にリセットされ、第 1 所定時間を計測すると第 1 タイムアウト信号を出力する第 1 タイマと、前記第 1 タイムアウト信号が出力されてから前記キャッシュメモリ制御部が前記ライトバック処理を終了するまでに要する時間よりも短くない第 2 所定時間を計測すると第 2 タイムアウト信号を出力する第 2 タイマとを具備し、前記第 1 タイムアウト信号に基いて前記割り込み通知を行うと共に、前記第 1 信号線がアサートされない場合、前記第 2 タイムアウト信号に基いて前記システム交絡線を介して他システムにスタンバイ状態からアクト状態に切替えるよう指示することを特徴とする請求項 5、9 又は 12 記載の二重化システム。

【請求項 20】 前記スタンバイ状態から前記アクト状態に切り替わった前記第 1 及び第 2 システムのいずれかのシステムは、前記特定のアドレス領域から前記情報をリードして、該情報が前記ライトバック処理の完了を示す場合は、前記メインメモリに記憶されたデータに基いて実行し、前記情報が前記ライトバック処理の完了を示さない場合は、前記メモリにプログラムをロードしてから実行することを特徴とする請求項 14 又は 17 記載の二重化システム。

【請求項 21】 前記スタンバイ状態から前記アクト状態に切り替わった前記第 1 及び第 2 システムのいずれかの一方のシステムは、他方のシステムの前記レジスタから前記情報をリードして、該情報が前記ライトバック処理の完了を示す場合は、前記メインメモリに記憶されたデータに基いて実行し、前記情報が前記ライトバック処理の完了を示さない場合は、前記メモリにプログラムをロードしてから実行することを特徴とする請求項 15 又は 18 記載の二重化システム。

【請求項 22】 前記キャッシュメモリ制御部と前記メインメモリとの間を接続する第 1 信号線と、前記メインメモリと前記システム制御部との間を接続す

る第 2 信号線を更に具備し、

前記アクト状態の前記キャッシュメモリ制御部は、前記ライトバック処理が完了すると、前記第 1 信号線をアサートし、前記アクト状態の前記メインメモリは、前記第 1 信号線がアサートされると前記第 2 信号線をアサートし、前記アクト状態の前記システム制御部は、前記第 2 信号線がアサートされると前記システム交絡線を用いて他システムにスタンバイ状態からアクト状態に切替えるよう指示することを特徴とする請求項 5 又は 9 記載の二重化システム。

【請求項 2 3】 前記アクト状態の前記キャッシュメモリ制御部は、前記ライトバック処理が完了すると、前記ライトバック処理が完了した旨を示す第 2 コマンドを前記第 1 バスに出力し、前記アクト状態の前記システム制御部は、前記第 2 コマンドに基いて他システムに前記システム交絡線を介してスタンバイ状態からアクト状態に切替えるよう指示することを特徴とする請求項 5、9 又は 1 2 記載の二重化システム。

【請求項 2 4】 前記メインメモリと前記システム制御部との間を接続する第 1 信号線を更に具備し、前記アクト状態の前記キャッシュメモリ制御部は、前記ライトバック処理が完了すると、前記ライトバック処理が完了した旨を示す第 2 コマンドを前記第 1 バスに出力し、前記アクト状態のメインメモリは、前記第 2 コマンドに基いて前記第 1 信号線をアサートし、前記アクト状態の前記システム制御部は、前記第 1 信号線がアサートされると前記システム交絡線を介して他システムに前記スタンバイ状態から前記アクト状態に切替えるよう指示することを特徴とする請求項 5 又は 9 記載の二重化システム。

【請求項 2 5】 前記メインメモリと前記システム制御部との間を接続する第 2 信号線を更に具備し、前記アクト状態の前記キャッシュメモリ制御部は、前記ライトバック処理が完了すると、前記ライトバック処理が完了した旨を示す第 2 コマンドを前記第 1 バスに出力し、前記アクト状態のメインメモリは、前記第 2 コマンドに基いて前記第 2 信号線をアサートし、前記アクト状態の前記システム制御部は、前記第 2 信号線がアサートされると前記システム交絡線を介して他システムに前記スタンバイ状態から前記アクト状態に切替えるよう指示することを特徴とする請求項 1 2 記載の二重化システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャッシュメモリを有するキャッシュシステム及び0系システムと1系システムとで冗長構成された二重化システムにおける緊急時のキャッシュフラッシュに関する。

【0002】

【従来の技術】

通信システム等では、サービスの信頼性向上の観点より、0系システムと1系システムとにより二重化構成されている。0系及び1系システムは、マイクロプロセッサ(MPU)、キャッシュメモリ制御部、キャッシュメモリ、メインメモリ、システム制御部及びインタフェース(INF)部を有する。MPUとキャッシュメモリ制御部との間は、MPUバスにより接続される。

【0003】

キャッシュメモリ制御部、メインメモリ、システム制御部及びINF部間は、拡張MPUバスにより接続される。0系と1系のメインメモリ間はメモリ交絡線により接続される。0系と1系のシステム制御部間は、システム交絡線により接続される。

【0004】

キャッシュメモリは処理性能向上の一手法として一般的に用いられるもので、MPUに必要なデータを迅速に届けるために使用される。一般にMPUの動作速度とメインメモリの動作速度の差はかなり大きく、MPU動作速度>>メインメモリ動作速度の場合、この大きな動作速度を吸収して高速動作可能にするためにメインメモリとMPUの間にキャッシュメモリと呼ばれる小容量の記憶デバイスを置き、MPUが要求するデータを高速に返送している。

【0005】

MPUがA番地のデータをメインメモリよりリードする場合、MPUは、MPUバスにリードコマンドを発行する。キャッシュメモリ制御部は、リードコマンドを受信して、キャッシュメモリにA番地の内容が登録されているかチェック

を行い、登録されていれば（キャッシュヒット）キャッシュメモリからA番地のデータをリードして、MPUに返送する。登録されていなければ（キャッシュミスヒット）、拡張MPUバスにメインメモリよりA番地を含むまとまったデータリードコマンドを発行する。メインメモリは、データリードコマンドを受信して、メモリの該当するエリアのデータを返送する。キャッシュメモリ制御部は、その返送されたデータを全て受信し、その内のA番地のデータのみMPUへ返送し、受信した全てのデータをキャッシュメモリにライトする。

【0006】

MPUがB番地にデータのライトコマンドを発行したとする。キャッシュメモリ制御部は、ライトコマンドを受信してキャッシュメモリにB番地の内容が登録されているかチェックを行い、記憶されているならばメインメモリへリードコマンドは発行せずに、キャッシュメモリより該当するデータを書き換える。

【0007】

このように、MPUが要求するデータがキャッシュメモリに未登録時（キャッシュミスヒット時）とキャッシュメモリに登録時（キャッシュヒット時）の処理内容が異なっており、この処理内容の差により処理性能の向上が図られる。

【0008】

また、キャッシュメモリの制御方式にも依るが、高速実行の観点により、1度キャッシュメモリに登録されたデータに対するメインメモリへの更新は、MPUがフラッシュバックコマンドを発行することにより行われるフラッシュバック方式やキャッシュメモリにのみデータをライトしてメインメモリへはそのブロックが置換え対象になった時点でライトするストアイン方式等がある。

【0009】

二重化システムは、通常時は片系が処理状態（ACT状態）にあり他の片系が待機状態（SBY状態）でサービス運用される。この状態でサービス運用中に重大な障害等が発生した時にはACT／SBYチェンジ動作を行い、旧ACT系が停止又はSBY状態となり、旧SBY系がACT状態となり、サービスを停止することなく運用を続ける必要がある。

【0010】

通常の時、0系システムをACT系、1系システムをSBY系でシステム運用中と仮定する。0系のMPUが処理プログラムをメインメモリより読み出し、その内容に従って各機能ブロックの制御や演算結果のメインメモリへの書き込み処理が行われる。ACT系のメインメモリに書き込まれたデータの内容は、メモリ交絡線を経由して常にSBY系のメインメモリに反映され、メインメモリの内容はACT系とSBY系で共に等しく保たれる。

【0011】

しかし、キャッシュメモリに登録されたデータに対してはMPUがデータのライトをした場合はフラッシュバック処理を行わない限りメインメモリへのデータの書き戻しは行われぬ。従って、そのようなデータが存在するときは、ACT系とSBY系のデータは一致しない事になる。そこで、このような二重化システムにおいて、重大な障害が発生してACT/SBYチェンジ動作を行う際に以下のような処理を行う。

【0012】

(1) システム制御部のウォッチドックタイマ(WDT)のタイムアウトが発生するとACT/SBYチェンジトリガを検出する。

【0013】

(2) システム制御部は割り込み通知線でMPUに割り込みを通知する。

【0014】

(3) MPUが緊急制御動作プログラムに移行する。

【0015】

(4) 緊急制御動作プログラムでキャッシュのフラッシュバック処理及びその他障害情報のログの収集が行われる。

【0016】

(5) ACT/SBYチェンジ処理が行われて、例えば、1系システムがACT系となりサービスの継続が行われる。

【0017】

このようにキャッシュメモリのデータをフラッシュバックすることにより、キャッシュメモリの内容がメインメモリに書き込まれ、メモリ交絡線を経由し、1

系システムにデータ転送が行われる。よって、1系システムのメインメモリの内容が0系システムのメインメモリの内容と等しくなりサービスの継続が可能になる。

【0018】

【発明が解決しようとする課題】

しかしながら、ACT/SBYチェンジの動作が正常に行えない場合がある。例えば、MPUバス、拡張MPUバスに接続されるブロックの中で、障害機能ブロックがバスをロックして固まってしまう場合である。ここで、バスをロックするとは、バスがいつまでも使用状態になっていて開放されない状態をいう。

【0019】

MPUバスがロックされている場合は、緊急制御動作プログラムがキャッシュメモリ制御部にフラッシュバックを指示するコマンドを送信することができない。また、拡張MPUバスがロックされている場合は、キャッシュメモリ制御部がメインメモリにフラッシュバックを行うことができない。かかる場合は、緊急制御動作プログラムの処理が行えず、キャッシュメモリのフラッシュバック処理が不可能となり、サービスを継続することができなくなる。

【0020】

近年の動向として、要求処理能力の更なる向上、メモリデバイスの高性能化、高速デバイスの低価格化等により、キャッシュメモリの大容量化システムが構築されている。よって、キャッシュメモリの内容がACT/SBYチェンジ等の時に引き継げないことは、それだけサービスの継続性に影響を及ぼすことになる。

【0021】

よって、本発明の目的は、緊急時にキャッシュメモリの内容を確実にメインメモリに書き戻すキャッシュシステムを提供することである。

【0022】

更に、本発明の他の目的は、ACT/SBYチェンジの際に障害によるキャッシュメモリの内容欠落によるサービスの中断を回避する二重化システムを提供することである。

【0023】

【課題を解決するための手段】

本発明の一側面によれば、キャッシュシステムであって、第1バスと、第2バスと、データを記憶するメモリ部を有し、前記第1バスより入力されたデータを前記メモリ部にライト及び前記メモリ部よりリードしたデータを前記第1バスに出力をするメインメモリと、キャッシュメモリと、前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示するコマンドを前記第2バスに出力する指示手段と、前記キャッシュメモリに記憶されたデータの前記メインメモリのアドレスに関する情報を記憶するディレクトリ部と、入力される第1リセット信号がアサートされると、前記ディレクトリ部を除いて少なくとも前記第1バスの制御に係わる部分がリセットされるリセット端子とを有し、前記第1バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第2バスより入力される前記コマンドに基いて前記キャッシュメモリのデータを前記メインメモリにライトバック処理をするキャッシュメモリ制御部とを具備したことを特徴とするキャッシュシステムが提供される。

【0024】

本発明の他の側面によれば、キャッシュシステムであって、第1バスと、第2バスと、第3バスと、データを記憶するメモリ部を有し、前記第1バスより入力されたデータを前記メモリ部にライト及び前記メモリ部よりリードしたデータを前記第1バスに出力をするメインメモリと、キャッシュメモリと、前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示するコマンドを前記第2バスに出力する指示手段と、前記第1バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第2バスより入力される前記コマンドに基いて前記キャッシュメモリのデータを前記メインメモリにライトバック処理をするキャッシュメモリ制御部と、前記第1バス及び前記第3バス間をインタフェースするインタフェース部と、前記インタフェース部の出力側と前記第1バスとの間に設けられ、制御端子に入力される制御信号が有効になると前記出力側と前記第1バスとの間の接続をアイソレートするアイソレート部とを具備したことを特徴とするキャッシュシステムが提供される。

る。

【 0 0 2 5 】

本発明の更に他の側面によれば、キャッシュシステムであって、第 1 バスと、第 2 バスと、前記第 1 バスと異なる信号線と、データを記憶するメモリ部を有し、前記第 1 バスより入力されたデータを前記メモリ部にライト、前記メモリ部よりリードしたデータを前記第 1 バスに出力及び前記信号線からデータ及びアドレスを入力して前記メモリ部にライトするメインメモリと、キャッシュメモリと、前記キャッシュメモリのデータを前記メインメモリにライトバックするよう指示するコマンドを前記第 2 バスに出力する指示手段と、前記第 1 バスを通して、前記メインメモリと前記キャッシュメモリとの間でデータのリード・ライトをすると共に前記第 2 バスから入力された前記コマンドに基づいて前記キャッシュメモリのデータ及びアドレスを前記信号線に出力することにより前記メインメモリにライトバック処理をするキャッシュメモリ制御部とを具備したことを特徴とするキャッシュシステムが提供される。

【 0 0 2 6 】

【発明の実施の形態】

本発明の実施形態を説明する前に、本発明の原理を説明する。図 1 は、本発明の原理図である。図 1 に示すように、二重化システムは、同一構成の 0 系システム 1 # 0、1 系システム 1 # 1、メモリ交絡線 2 及びシステム交絡線 4 から構成される。i 系システム 1 # i (i = 0, 1) は、第 1 バス 6 # i、第 2 バス 7 # i、メインメモリ 10 # i、キャッシュメモリ 12 # i、キャッシュメモリ制御部 16 # i 及びシステム制御部 18 # i を具備する。

【 0 0 2 7 】

メインメモリ 10 # i は、データを記憶するメモリ部 11 # i を有し、第 1 バス 6 # i より入力されたデータをメモリ部 11 # i にライト及びメモリ部 11 # i よりリードしたデータを第 1 バス 6 # i に出力をすると共に他系の A C T 系のデータをメモリ交絡線 2 より入力してメモリ部 11 # i にライトする。プロセッサ 8 # i は、割り込み通知により緊急制御プログラムが起動されて、キャッシュメモリ 12 # i のデータをメインメモリ 10 # i にライトバックするよう指示す

る第1コマンドを第2バス7 # i に出力する。

【0028】

キャッシュメモリ制御部16 # i は、キャッシュメモリ12 # i に記憶されたデータのメインメモリ10 # i のアドレスに関する情報を記憶するディレクトリ部14 # i と、入力される第1リセット信号がアサートされると、ディレクトリ部14 # i を除いて少なくとも第1バス6 # i の制御に係わる部分がリセットされる第1リセット端子15 # i とを有する。第1バス6 # i を通して、メインメモリ10 # i とキャッシュメモリ12 # i との間でデータのリード・ライトをすると共に第2バス8 # i より入力される第1コマンドに基いてキャッシュメモリ12 # i のデータをメインメモリ10 # i にライトバック処理をする。

【0029】

システム制御部18 # i は、プロセッサ8 # i を監視して、アクト系からスタンバイ系への系切り替えの際に、第1リセット信号をアサートしてからプロセッサ8 # i に割り込み通知をする。

【0030】

以下、図1の動作説明をする。0系システム1 # 0, 1系システム1 # 1は、運用に際しては、一方がACT系、他方がSBY系となる。ここでは、0系システム1 # 0がACT系、1系システム1 # 1がSBY系とする。0系システム1 # 0のプロセッサ8 # 0に故障が発生したとする。システム制御部18 # 0は、第1リセット信号をアサートしてから、プロセッサ8 # 0に割り込み通知をする。

【0031】

キャッシュメモリ制御部16 # 0は、第1リセット信号が第1リセット端子15 # 0に入力されて、ディレクトリ部14 # 0を除き第1バス6 # 0の制御に係わる部分がリセットされる。これにより、キャッシュメモリ制御部16 # 0が障害により第1バス6 # 0をロックしていても、第1バス6 # 0の制御に係わる部分がリセットされるので、第1バス6 # 0のロックが解除される。

【0032】

プロセッサ8 # 0は、割り込み通知により緊急制御プログラムが起動されて、

キャッシュメモリ 1 2 # 0 からメインメモリ 1 0 # 0 にデータのライトバックを指示する第 1 コマンドを第 2 バス 7 # 0 に出力する。キャッシュメモリ制御部 1 6 # 0 は、キャッシュメモリ 1 2 # 0 からライトバックするデータをリードして、データ及びアドレスを第 1 バス 6 # 0 に出力する。メインメモリ 1 0 # 0 は、第 1 バス 6 # 0 からデータ及びアドレスを入力して、メモリ部 1 1 # 0 をライトする。これにより、第 1 バス 6 # 0 などをキャッシュメモリ制御部 1 0 # 0 がロックしていても、ロックが解除されてライトバック処理が可能となる。

【0033】

第 1 実施形態

図 2 は、本発明の第 1 実施形態による二重化システムの構成図である。図 2 に示すように、二重化システムは、0 系システム 2 0 # 0 及び 1 系システム 2 0 # 1 より構成される。0 系システム 2 0 # 0、1 系システム 2 0 # 1 は、運用に際しては、一方が ACT 系、他方が SBY 系となり、同一の構成である。

【0034】

各 i ($i = 0, 1$) 系システムは、MPU 部 2 2 # i 、キャッシュメモリ制御部 2 4 # i 、キャッシュメモリ 2 6 # i 、メインメモリ 2 8 # i 、システム制御部 3 0 # i 、INF 部 3 2 # i 、MPU バス 3 4 # i 、拡張 MPU バス 3 6 # i 、キャッシュメモリバス 3 8 # i 、フラッシュバック状態通知線 4 0 # i 、割り込み通知線 4 2 # i 、全体リセット線 4 4 # i 、4 7 # i 、4 8 # i 、部分リセット線 4 6 # i 及び他機能部接続バス 4 9 # i を有する。

【0035】

MPU 部 2 2 # i は、以下の機能を有する。

【0036】

(1) MPU バス 3 4 # i に、メインメモリ 2 8 # i から命令やデータをリード又はデータをメインメモリ 2 8 # i にライトするコマンドを出力して、MPU バス 3 4 # i に出力される命令やデータをフェッチして、プログラムを実行する。

【0037】

(2) 図 5 に示すシステム制御部 3 0 # i 中の該当する制御レジスタ 9 6 #

i にウォッチドックタイマ 9 4 # i を周期的にリセットするためのリセット信号をライトするよう指示するコマンドを M P U バス 3 4 # i に出力する。尚、ウォッチドックタイマ 9 4 # i を周期的にリセットできない場合とは、M P U 部 2 2 # i が実行するプログラム等に異常が発生したとき等であり、このようなときには、ウォッチドックタイマ 9 4 # i がオーバフロー（タイムアウト）して、緊急制御プログラムが実行されて、A C T 系と S B Y 系の系切替えが行われる。

【 0 0 3 8 】

(3) 割り込み通知線 4 2 # i がアサートされると、割り込みが発生して、割り込みベクトルアドレスとして登録されている緊急制御プログラムが実行される。緊急制御プログラムは、A C T 系から S B Y 系に切り替わる際に、割り込みによって起動されるプログラムである。

【 0 0 3 9 】

現 A C T 系では、キャッシュメモリ 2 6 # i からメインメモリ 2 8 # i へフラッシュバック指示をするコマンドを M P U バス 3 4 # i に出力すると共に障害情報を収集してキャッシュメモリ 2 6 # i を経由せずに直接メインメモリ 2 8 # i にライトするコマンドを M P U バス 3 4 # i に出力する。

【 0 0 4 0 】

旧 S B Y 系では、システム制御部 3 0 # i の制御により S B Y 系から A C T 系に切替えられてメインメモリ 2 8 # i の旧 A C T 系でフラッシュバックが完了したか否かを示す情報を所定のアドレス領域からリードする。フラッシュバック済みであれば、メインメモリ 2 8 # i にライトされている命令やデータに基いて実行してサービスを継続する。フラッシュバック済みでないならば、メインメモリ 2 8 # i に I P L (Initial Program Load) して、サービスを一旦停止してから、サービスを再開する。

【 0 0 4 1 】

このように、旧 A C T 系でフラッシュバックされたか否かを判断するのは、情報がフラッシュバック済みであることを示さない場合は、何らかの異常により A C T 系でフラッシュバックできなかったものと考えられるため、メインメモリ 2 8 # i の内容に基いてサービスを継続するよりも、サービスを一旦停止して、初

期化してからサービスを再開する方が良いものと判断されるからである。

【 0 0 4 2 】

図 3 は、図 2 中のキャッシュメモリ制御部 2 4 # i の構成図である。図 3 に示すように、キャッシュメモリ制御部 2 4 # i は、MPU バスインタフェース制御部 6 0 # i、コマンド変換部 6 2 # i、拡張 MPU バスインタフェース制御部 6 4 # i、キャッシュメモリエントリ制御部 6 8 # i、タグ部 7 0 # i、キャッシュメモリインタフェース制御部 7 2 # i 及びリセット信号入力部 7 4 # i を有する。

【 0 0 4 3 】

MPU バスインタフェース制御部 6 0 # i は、MPU バス 3 4 # i に出力されたメインメモリ 2 8 # i へのリード・ライトコマンド、フラッシュバック指示コマンド及び INF 部 3 2 # i 等の障害情報等を記憶する制御レジスタへのリードコマンドを受信するとコマンド変換部 6 2 # i に出力する。また、コマンド変換部 6 2 # i より出力されたメインメモリ 2 8 # i や制御レジスタのデータを、MPU バス 3 4 # i を制御して、それに出力する。更に、図示しないリセット端子を有し、リセット端子がアサートされるとリセットされて、MPU バス 3 4 # i を制御するレジスタ等がリセットされる。これにより、MPU バス 3 4 # i のロックが強制解除されると共に拡張 MPU バス 3 6 # i のロックの要因となる情報がリセットされる。

【 0 0 4 4 】

コマンド変換部 6 2 # i は、以下の機能を有する。

【 0 0 4 5 】

(1) MPU バスインタフェース制御部 6 0 # i より入力されたコマンドを解析してキャッシュメモリ 2 6 # i を経由せずにメインメモリ 2 8 # i に直接アクセスするコマンドならば、拡張 MPU バスインタフェース制御部 6 4 # i にそれを出力する。それ以外のコマンドならば、キャッシュメモリエントリ制御部 6 8 # i にキャッシュメモリ 2 6 # i へアクセスを指示する。

【 0 0 4 6 】

(2) キャッシュミスヒットの時、メインメモリ 2 8 # i にアクセスするコ

マンドを拡張MPUバスインタフェース部 6 4 # i に出力する。拡張MPUバスインタフェース制御部 6 4 # i より出力されたデータをキャッシュメモリ 2 6 # i に出力する。

【 0 0 4 7 】

(3) キャッシュヒットの時、リードコマンドの場合は、キャッシュメモリエントリ制御部 6 8 # i から出力されたデータをMPUバスインタフェース制御部 6 0 # i に出力する。

【 0 0 4 8 】

(4) MPUバスインタフェース制御部 6 0 # i よりフラッシュバック指示コマンドが入力されると、キャッシュメモリエントリ制御部 6 8 # i にフラッシュバックを指示する。キャッシュメモリエントリ制御部 6 8 # i よりフラッシュバックするデータがメインメモリ 2 8 # i 中のアドレスと共に出力されると、該データを該アドレスでメインメモリ 2 8 # i にライトするよう指示するコマンドを拡張MPUバスインタフェース部 6 4 # i に出力する。

【 0 0 4 9 】

(5) MPUバスインタフェース制御部 6 0 # i より INF 部 3 2 # i 等の制御レジスタよりリードするよう指示するコマンドを拡張MPUバスインタフェース制御部 6 4 # i に出力する。拡張MPUバスインタフェース制御部 6 4 # i より制御レジスタのログ情報等の内容が出力されると、該内容をMPUバスインタフェース制御部 6 0 # i に出力する。

【 0 0 5 0 】

(6) メインメモリ 2 8 # i へのフラッシュバックが完了すると、フラッシュバック状態通知線 4 0 # i をアサートする。

【 0 0 5 1 】

(7) 図示しないリセット端子を有し、リセット端子がアサートされるとリセットされて、コマンドの制御に係わるレジスタ等がリセットされる。これにより、MPUバス 3 4 # i 及び拡張MPUバス 3 6 # i のロックの要因となる情報がリセットされる。

【 0 0 5 2 】

拡張MPUバスインタフェース制御部 6 4 # i は、拡張MPUバス 3 6 # i と
 コマンド変換部 6 2 # i 間のインタフェースを司るものであり、図示しないリセ
 ット端子に入力されるリセット信号がアサートされると、拡張MPUバス 3 6 #
 i の制御に係わるレジスタ等がリセットされる。キャッシュメモリエントリ制御
 部 6 8 # i は、以下の機能を有する。

【 0 0 5 3 】

(1) コマンド変換部 6 2 # i よりリード・ライトの指示を受けて、タグ部
 7 0 # i を検索して、キャッシュヒットするか否かをチェックする。キャッシュ
 ヒットすれば、キャッシュメモリバスインタフェース制御部 3 8 # i 及びキャッシ
 ュメモリバス 3 8 # i を介して、キャッシュメモリ 2 6 # i よりデータをリード
 ・ライトする。キャッシュミスヒットすれば、その旨をコマンド変換部 6 2 # i
 に出力する。コマンド変換部 6 2 # i より入力されたメインメモリ 2 8 # i のデ
 ータをキャッシュメモリバスインタフェース制御部 7 2 # i 及びキャッシュメモ
 リバス 3 8 # i を介してキャッシュメモリ 2 6 # i にライトすると共にライトデ
 ータのメインメモリ 2 8 # i でのアドレス等に関する情報をタグ部 7 0 # i に登
 録する。

【 0 0 5 4 】

(2) コマンド変換部 6 2 # i よりフラッシュバック指示を受けると、タグ
 部 7 0 # i を参照してキャッシュメモリ 2 6 # i より少なくとも更新されたデー
 タをキャッシュメモリインタフェース制御部 7 2 # i 及びキャッシュメモリバス
 3 8 # i を介してキャッシュメモリ 2 6 # i からリードして、コマンド変換部 6
 2 # i にデータ及びアドレスを出力する。

【 0 0 5 5 】

タグ部 7 0 # i は、メインメモリ 2 8 # i のデータがキャッシュメモリ 2 6 #
 i に存在するかを制御するためのディレクトリであり、その制御方式は種々考え
 られるが、例えば、キャッシュメモリ 2 6 # i の各ブロックに格納されているデ
 ータのメインメモリ 2 8 # i でのアドレスや更新フラグ等が記憶される。

【 0 0 5 6 】

キャッシュメモリバスインタフェース制御部 7 2 # i は、キャッシュメモリエ

ントリ制御部 6 8 # i とキャッシュメモリ 2 6 # i との間のインタフェースを司る。キャッシュメモリ制御部 6 8 # i、タグ部 7 0 # i 及びキャッシュメモリインタフェース部 7 2 # i は、全体リセット線 4 4 # i に接続される図示しないリセット端子を有し、全体リセット線がアサートされるとリセットされる。

【 0 0 5 7 】

リセット信号入力部 7 4 # i は、全体リセット線 4 4 # i 及び部分リセット線 4 6 # i から全体リセット信号及び部分リセット信号を入力して、リセット線 4 4 # i、4 6 # i のいずれか一方がアサートされると、出力信号であるリセット信号をアサートして、MPUバスインタフェース制御部 6 0 # i、コマンド変換部 6 2 # i 及び拡張MPUインタフェース制御部 6 4 # i のリセット端子に出力する。

【 0 0 5 8 】

部分リセット線 4 6 # i は、フラッシュバック処理におけるMPUバス 3 4 # i 及び拡張MPUバス 3 6 # i のロック解除に係わる信号線であり、MPUバス 3 4 # i 及び拡張MPUバス 3 6 # i のロックを解除すること、フラッシュバックに係わる情報、例えば、タグ部 7 0 # i の内容を保持してフラッシュバックを正常に行うことができることから、全体リセット線 4 4 # i とは別に設けられている。従って、部分リセット線 4 6 # i がアサートされても、フラッシュバックに係わる情報を保持するタグ部 7 0 # i 等はリセットされない。全体リセット線 4 4 # i は、システム 2 0 # i の立ち上げ時に、アサートされる信号線である。図 2 中のキャッシュメモリ 2 6 # i は、メインメモリ 2 8 # i の一部のデータを記憶するためのSRAMなどの高速メモリである。

【 0 0 5 9 】

図 4 は、図 2 中のメインメモリ 2 8 # i の構成図である。図 4 に示すように、メインメモリ 2 8 # i は、拡張バスインタフェース制御部 8 0 # i、制御レジスタ 8 2 # i、メモリ制御部 8 4 # i、メモリ部 8 6 # i 及びメモリ交絡制御部 8 8 # i を有する。拡張バスインタフェース制御部 8 0 # i は、メモリ制御部 8 4 # i と拡張MPUバス 3 6 # i との間のインタフェースを司る。

【 0 0 6 0 】

メモリ制御部 84 # i は、拡張MPUバスインタフェース制御部 80 # i を通して、拡張MPUバス 36 # i より出力されたコマンドを入力してメモリ部 86 # i にデータのリード・ライトすると共にリードされたデータを拡張MPUバス 36 # i に出力する。更に、フラッシュバック状態通知線 40 # i がアサートされると、メモリ部 86 # i の特定のアドレス領域にフラッシュバック済みの情報をライトする。

【0061】

制御レジスタ 82 # i は、データエラー等のエラー情報、エラーデータのアドレス、メモリ容量、メモリ構成、メモリバンク及びアクセス速度などを格納するレジスタである。メモリ部 86 # i は、図示しないハードディスク（HDD）などの記憶媒体に格納されたプログラム等をロードするメモリであり、DRAMなどにより構成される。

【0062】

メモリ交絡制御部 88 # i は、ACT系では、メモリ制御部 84 # i のメモリ部 86 # i へのアクセスをスチールして、メモリ部 86 # i にデータがライトされるとメモリ交絡線 50 にデータ及びアドレスを出力する。また、SBY系では、メモリ交絡線 50 よりデータ及びアドレスが入力されるとメモリ部 86 # i に該データを該アドレスでライトする。

【0063】

図5は、図2中のシステム制御部 30 # i の構成図である。図5に示すように、システム制御部 30 # i は、拡張MPUバスインタフェース制御部 90 # i、リセット線 92 # i、ウォッチドックタイマ 94 # i、制御レジスタ 96 # i、系切替えタイマ 98 # i、主制御部 100 # i 及び交絡制御部 102 # i を有する。

【0064】

拡張MPUバスインタフェース制御部 90 # i は、拡張MPUバス 36 # i と主制御部 100 # i との間のインタフェースを司る。更に、リセット線 92 # i がアサートされると拡張MPUバス 36 # i を制御するレジスタ等がリセットされる。これにより、拡張MPUバスインタフェース制御部 90 # i が拡張MPU

バス 36 # i をロックしている場合は、ロックが強制解除される。

【0065】

ウォッチドックタイマ 94 # i は、制御レジスタ 96 # i に格納されているリセット信号に従ってリセットされ、図示しないクロックに従って MPU 部 22 # i によるリセット周期よりも短くない一定時間を計時するとオーバフロー信号を制御レジスタ 96 # i に出力する。制御レジスタ 96 # i は、ウォッチドックタイマ 94 # i のリセット信号、オーバフロー信号、系切り替えタイマ 98 # i のタイムアウト信号等を記憶するレジスタである。

【0066】

系切り替えタイマ 98 # i は、ウォッチドックタイマ 94 # i のオーバフロー信号に従って計時を開始して、図示しないクロックに従ってウォッチドックタイマ 94 # i がオーバフローしてからフラッシュバックに要する時間よりも短くない時間計時するとタイムアウト信号を制御レジスタ 96 # i にライトする。

【0067】

主制御部 100 # i は、以下の機能を有する。

【0068】

(1) ACT 系では、制御レジスタ 96 # i がウォッチドックタイマ 94 # i のオーバフローを示すとき、部分リセット線 46 # i、全体リセット線 47 # i、48 # i をアサートしてから、割り込み通知線 42 # i をアサートする。

【0069】

(2) ACT 系では、フラッシュバック状態通知線 42 # i がアサートされると、交絡制御部 102 # i に ACT / SBY の系切り替え信号を送出するよう指示する。

【0070】

(3) SBY 系では、交絡制御部 102 # i より ACT / SBY の系切り替え信号の通知を受けると、全体リセット線 44 # i、47 # i、48 # i をアサートしてから、割り込み通知線 42 # i をアサートする。

【0071】

交絡制御部 102 # i は、ACT 系では、主制御部 100 # i に指示に従って

、ACT/SBYの系切り替え信号をシステム交絡線52に送出する。SBY系では、システム交絡線52よりACT/SBYの系切り替え信号を受信すると、主制御部100#iに通知する。図2中のINF部32#iは、拡張MPUバス36#iと他機能部接続バス49#iとの間のインタフェースを司る。また、リセット端子を有し、全体リセット線48#iがアサートされると、リセットされる。

【0072】

図6は、図2中のシステム制御部30#iの動作フローチャートである。図7は、図2中のMPU部22#i（現ACT系）の動作フローチャートである。図8は、図2中のキャッシュメモリ制御部24#iの動作フローチャートである。図9は、図2中のメインメモリ28#iの動作フローチャートである。図10は、図2中のMPU部22#i（元SBY系）の動作フローチャートである。以下、これらの図面を参照して、フラッシュバック時における図2の動作説明をする。

【0073】

(A1) MPU部22#0の動作

本例では、0系システム20#0がACT系、1系システム20#1がSBY系であるとする。MPU部22#0は、正常時には、周期的にシステム制御部30#i中のウォッチドックタイマ94#0をリセットする信号を制御レジスタ96#iにライトするコマンドをMPUバス34#iに出力する。キャッシュメモリ制御部24#0は、コマンドを受信して、拡張MPUバス36#0を通してリセット信号をライトするコマンドを拡張MPUバス36#0に出力する。システム制御部30#0は、制御レジスタ96#0中にリセット信号をライトする。ウォッチドックタイマ94#0は、リセット信号によりリセットされる。

【0074】

ここで、MPU部22#0にウォッチドックタイマ94#0をリセットできない故障が発生したとする。故障の原因として、MPU部22#0が実行するプログラムが暴走等をするプログラム異常のとき、MPUバス34#0や拡張MPUバス36#0がロックされたとき、ハードウェアが故障したときなどが上げられ

る。このような場合は、ウォッチドックタイマ 9 4 # 0 は、リセットされないためにオーバフローする。

【 0 0 7 5 】

(B 1) システム制御部 3 0 # 0 の動作

図 6 中のステップ S 2 において、主制御部 1 0 0 # 0 は、制御レジスタ 9 6 # 0 をリードして、ウォッチドックタイマ 9 4 # 0 がオーバフローしたか否かをチェックする。オーバフローしたならば、ステップ S 4 に進み、オーバフローしていなければ、終了する。ステップ S 4 において、系切り替えタイマ 9 8 # 0 は、ウォッチドックタイマ 9 4 # 0 がオーバフローしたので、起動されてクロックに従って計時を開始する。

【 0 0 7 6 】

ステップ S 6 において、主制御部 1 0 0 # 0 は、リセット線 9 2 # 0 をアサートして、拡張 MPU バスインタフェース制御部 9 0 # 0 をリセットする。ステップ S 8 において、全体リセット線 4 7 # 0, 4 8 # 0 をアサートして、I N F 部 3 2 # 0, メインメモリ 2 8 # 0 をリセットする。これにより、メインメモリ 2 8 # 0 や I N F 部 3 2 # 0 が障害などにより、拡張 MPU バス 3 6 # 0 をロックしていた場合にロックが強制的に解除される。

【 0 0 7 7 】

ステップ S 1 0 において、主制御部 1 0 0 # 0 は、部分リセット線 4 6 # 0 をアサートして、キャッシュメモリ制御部 2 4 # 0 を部分リセットする。これにより、キャッシュメモリ制御部 2 4 # 0 が故障等により、MPU バス 3 4 # 0 や拡張 MPU バス 3 6 # 0 をロックしていた場合にロックが強制的に解除される。ステップ S 1 2 において、主制御部 1 0 0 # 0 は、割り込み通知線 4 2 # 0 をアサートする。

【 0 0 7 8 】

(A 2) MPU 部 2 2 # 0 の動作

MPU 部 2 2 # 0 は、割り込みベクタアドレスとして、緊急制御動作プログラムのアドレスが登録されている。図 7 中のステップ S 2 0 において、MPU 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされて、割り込み通知される。ス

テップ S 2 2 において、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して、緊急制御動作プログラムが起動される。ステップ S 2 4 において、緊急制御動作プログラムは、フラッシュバック指示コマンドを MPU バス 3 4 # 0 に発行する。

【 0 0 7 9 】

ステップ S 2 6 において、キャッシュメモリ制御部 2 4 # 0、メインメモリ 2 8 # 0、I N F 部 3 2 # 0 における故障ログに係わる制御レジスタからログ情報を MPU バス 3 4 # 0、キャッシュメモリ制御部 2 4 # 0 及び拡張 MPU バス 3 6 # 0 を通して収集する。ステップ S 2 8 において、MPU 部 2 2 # 0 は、故障ログ情報を、MPU バス 3 4 # 0 を経由して、拡張 MPU バス 3 6 # 0 を通してメインメモリ 2 8 # 0 に直接ライトする。

【 0 0 8 0 】

(C) キャッシュメモリ制御部 2 4 # 0 の動作

図 8 中のステップ S 3 0 において、リセット信号入力部 7 4 # 0 は、例えば、' H ' でアサートされるとすると、部分リセット線 4 6 # 0 と全体リセット線 4 4 # 0 の部分リセット信号及び全体リセット信号の論理和を取って、リセット信号を MPU バスインタフェース制御部 6 0 # 0、コマンド変換部 6 2 # 0 及び拡張 MPU バスインタフェース制御部 6 4 # 0 のリセット端子に出力する。部分リセット線 4 6 # 0 がアサートされているので、リセット信号入力部 7 4 # 0 は、リセット信号をアサートする。

【 0 0 8 1 】

MPU バスインタフェース制御部 6 0 # 0、コマンド変換部 6 2 # 0 及び拡張 MPU バスインタフェース制御部 6 4 # 0 は、リセット信号がアサートされて、MPU バス 3 4 # 0 や拡張 MPU バス 3 6 # 0 の制御に係わるレジスタ等がリセットされる。これにより、MPU バス 3 4 # 0 や拡張 MPU バス 3 6 # 0 がこれらの故障によりロックされていても、ロックが強制的に解除される。尚、タグ部 7 0 # 0 等のフラッシュバックに係わるブロックは、リセットされない。

【 0 0 8 2 】

ステップ S 3 2 において、MPU バスインタフェース制御部 6 0 # 0 は、MP

Uバス 3 4 # 0 からフラッシュバック指示コマンドを入力するとコマンド変換部 6 2 # 0 に出力する。ステップ S 3 4 において、コマンド変換部 6 2 # 0 は、フラッシュバック指示コマンドが入力されるとキャッシュメモリ制御部 6 8 # 0 にフラッシュバックを指示する。

【 0 0 8 3 】

キャッシュメモリ制御部 6 8 # 0 は、タグ部 7 0 # 0 を参照して、少なくとも更新されているブロックアドレスを順次求める。キャッシュメモリバスインタフェース制御部 7 2 # 0 及びキャッシュメモリバスインタフェース制御部 7 2 # 0 を通して、キャッシュメモリ 2 6 # 0 より当該ブロックデータを順次リードする。当該ブロックのメインメモリ 2 8 # 0 での実アドレスと共に当該ブロックデータをコマンド変換部 6 2 # 0 に出力する。

【 0 0 8 4 】

コマンド変換部 6 2 # 0 は、拡張MPUバスインタフェース制御部 6 4 # 0 及び拡張MPUバス 3 6 # 0 を通して、メインメモリ 2 8 # 0 にブロックデータを該当アドレスでライトするように指示するコマンドを出力する。メインメモリ 2 8 # 0 中のメモリ制御部 8 4 # 0 は、拡張MPUバスインタフェース制御部 8 0 # 0 を通して拡張MPUバス 3 6 # 0 よりコマンドを入力して、メモリ部 8 6 # 0 にブロックデータを該当アドレスでライトする。

【 0 0 8 5 】

メモリ交絡制御部 8 8 # 0 は、メモリ制御部 8 4 # 0 のメモリ部 8 6 # 0 へのライトをスチールして、ライトされたデータ及びアドレスをメモリ交絡線 5 0 に出力する。SBY系のメモリ交絡制御部 8 8 # 1 は、メモリ交絡線 5 0 よりデータ及びデータアドレスを受信して、メモリ部 8 6 # 1 にライトする。

【 0 0 8 6 】

キャッシュメモリ 2 6 # 0 の少なくとも更新ブロックの全ブロックがキャッシュメモリ 2 6 # 0 からのリードとメインメモリ 2 8 # 0 へのライトが行われてフラッシュバックが終了する。ステップ S 3 6 において、コマンド変換部 6 2 # 0 は、フラッシュバックが完了するとフラッシュバック状態通知線 4 0 # 0 をアサートする。

【 0 0 8 7 】

(D) メインメモリ 2 8 # 0 の動作

図 9 中のステップ S 4 0 において、メモリ制御部 8 4 # 0 は、フラッシュバック状態通知線 4 0 # 0 がアサートされたか否かをチェックする。アサートされたならばステップ S 4 2 に進み、アサートされていないと終了する。ステップ S 4 2 において、メモリ制御部 8 4 # 0 は、フラッシュバック済みを示す情報をメモリ部 8 6 # 0 の特定アドレス領域にライトする。この情報がメモリ交絡線 5 0 を介して、SBY 系のメインメモリ 2 8 # 1 にライトされる。

【 0 0 8 8 】

(B 2) システム制御部 3 0 # 0 の動作

図 6 中のステップ S 1 4 において、主制御部 1 0 0 # 0 は、フラッシュバック状態通知線 4 0 # 0 がアサートされたか否かをチェックする。アサートされたならば、ステップ S 1 8 に進み、アサートされていないとステップ S 1 6 に進む。フラッシュバック状態通知線 4 0 # 0 がアサートされない場合としては、MPU 部 2 2 # 0 自体のハードウェア故障などが考えられる。フラッシュバック状態通知線 4 0 # 0 がアサートされない場合は、系切り替えタイマ 9 8 # 0 がタイムアウトして、タイムアウト信号が制御レジスタ 9 6 # 0 にライトされる。

【 0 0 8 9 】

ステップ S 1 6 において、主制御部 1 0 0 # 0 は、制御レジスタ 9 6 # 0 をリードして、系切り替えタイマ 9 8 # 0 がタイムアウトしたか否かをチェックする。系切り替えタイマ 9 8 # 0 がタイムアウトしていないとステップ S 1 4 に戻る。系切り替えタイマ 9 8 # 0 がタイムアウトしていれば、ステップ S 1 8 に進む。

【 0 0 9 0 】

ステップ S 1 8 において、主制御部 1 0 0 # 0 は、交絡制御部 1 0 2 # 0 に ACT / SBY の系の切り替えを指示する。交絡制御部 1 0 2 # 0 は、ACT / SBY の系の切り替えを指示されると、システム交絡線 5 2 に ACT / SBY の系切り替え信号を出力する。

【 0 0 9 1 】

これにより、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとき、フラッシュバック状態通知線 4 0 # 0 がアサートされると、ACT / SBY の系の切り替え信号がシステム交絡線 5 2 に出力される。フラッシュバック状態通知線 4 0 # 0 がアサートされない場合でも、系切り替えタイマ 9 8 # 0 がタイムアウトして、ACT / SBY の系の切り替え信号がシステム交絡線 5 2 に出力される。

【 0 0 9 2 】

(B 3) システム制御部 3 0 # 1 の動作

SBY 系のシステム制御部 3 0 # 1 中の交絡制御部 1 0 2 # 1 は、システム交絡線 5 2 より ACT / SBY の系の切り替え信号を入力すると、主制御部 1 0 0 # 1 に ACT / SBY の系の切り替えを通知する。主制御部 1 0 0 # 1 は、系の切替えの通知が入力されると、割り込み通知線 4 2 # 1 をアサートする。

【 0 0 9 3 】

(A 3) MPU 部 2 2 # 1 の動作

図 1 0 中のステップ S 5 0 において、MPU 部 2 2 # 1 は、割り込み通知線 4 2 # 1 がアサートされて、割り込みが発生する。ステップ S 5 2 において、緊急制御動作プログラムが起動される。尚、割り込み処理プログラムは、元 SBY 系と現 ACT 系で同一プログラムとしているが、別プログラムでも勿論良い。ステップ S 5 4 において、緊急制御動作プログラムは、MPU バス 3 4 # 1、キャッシュメモリ制御部 2 4 # 1 及び拡張 MPU バス 3 6 # 1 を通して、メインメモリ 2 8 # 1 の特定アドレス領域よりフラッシュバック済みを示す情報をリードする。

【 0 0 9 4 】

ステップ S 5 6 において、緊急制御動作プログラムは、情報がフラッシュバック済みであることを示す場合は、ステップ S 5 8 に進み、フラッシュバック済みでないことを示す場合は、ステップ S 6 0 に進む。ステップ S 5 8 において、緊急制御動作プログラムは、サービスプログラムを起動する。サービスプログラムは、メインメモリ 2 8 # 1 の内容に従ってサービスを継続する。ステップ S 6 0 において、緊急制御動作プログラムは、メインメモリ 2 8 # 1 に IPL してから、サービスを一旦停止する。サービスプログラムは、起動されてサービスを再開

する。

【0095】

以上説明したように本第1実施形態によれば、拡張MPUバスやMPUバスがロックされていても、ロックが強制的に解除されて、フラッシュバックを行うことができる。フラッシュバック済み情報に基いてサービスを継続、サービスの停止を行うので、サービスの信頼性を向上させることができる。系切り替えタイマがタイムアウトする前にフラッシュバック状態通知線がアサートされると系切り替えが行われるので、迅速にサービスを継続することが可能となる。

【0096】

第2実施形態

図11は、本発明の第2実施形態による二重化システムの構成図であり、図2中の構成要素と実質的に同一の構成要素には同一の符号を付している。図11中のフラッシュバック状態通知線114#iは、キャッシュメモリ制御部24#iとシステム制御部30#iとの間を接続せずにキャッシュメモリ制御部24#iとメインメモリ112#iとの間のみを接続するようにしたことが、図2中のフラッシュバック状態通知線40#iと異なる。

【0097】

図12は、図11中のメインメモリ112#iの構成図であり、図4中の構成要素と実質的に同一の構成要素には同一の符号を付している。図12中のメモリ制御部120#iは、フラッシュバック状態通知線114#iがキャッシュメモリ制御部24#0によりアサートされると、メモリ部86#iの特定のアドレスにフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線116#iをアサートするようにしたことが図4中のメモリ制御部84#iと異なる。

【0098】

メインメモリ112#iがフラッシュバック状態通知線114#iをアサートするのは、フラッシュバック済みの情報がメモリ部86#iにライトされてからACT/SBYの系が切り替えられるので、ACT系に切り替わったシステムでは、より確実にフラッシュバック済みを示す情報をリードできるからである。図1

1 中の他の構成要素は、図 2 中の構成要素と実質的に同一なので説明を省略する。

【0 0 9 9】

図 1 3 は、図 1 1 中のメインメモリ 1 1 2 # i の動作フローチャートである。以下、この図面を参照して、図 1 1 の動作説明をする。本実施形態においても、0 系システム 1 1 0 # 0 を A C T 系、1 系システム 1 1 0 # 1 を S B Y 系とする。0 系システム 1 1 0 # 0 の障害により、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 1 0 0】

(B 1) 第 1 実施形態の (B 1) と同様にして、システム制御部 3 0 # 0 は、ウォッチドックタイマ 9 4 # 0 がオーバフローすると、全体リセット線 4 7 # 0, 4 8 # 0 をアサートして、メインメモリ 1 1 2 # 0、I N F 部 3 2 # 0 を全体リセットし、部分リセット線 4 4 # 0 をアサートして、キャッシュメモリ制御部 2 4 # 0 を部分リセットすると共に、割り込み通知線 4 2 # 0 をアサートする。

【0 1 0 1】

(A 2) 第 1 実施形態の (A 2) と同様にして、M P U 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して、緊急制御動作プログラムが起動される。緊急制御動作プログラムは、フラッシュバック指示をキャッシュメモリ制御部 2 4 # 0 に行ってから、故障に関するログ情報を収集して、メインメモリ 1 1 2 # 0 にライトする。

【0 1 0 2】

(C) 第 1 実施形態の (C) と同様にして、キャッシュメモリ制御部 2 4 # 0 は、メインメモリ 1 1 2 # 0 にフラッシュバックを行う。キャッシュメモリ制御部 2 4 # 0 は、フラッシュバックが完了すると、フラッシュバック状態通知線 1 1 4 # 0 をアサートする。

【0 1 0 3】

(D) メインメモリ 1 1 2 # 0 の動作

図 1 3 中のステップ S 7 0 において、メモリ制御部 1 2 0 # 0 は、フラッシュ

バック状態通知線 114 # 0 がアサートされたか否かをチェックする。アサートされた場合は、ステップ S 72 に進む。アサートされなかった場合は、終了する。ステップ S 72 において、メモリ制御部 120 # 0 は、メモリ部 86 # 0 中の特定アドレス領域にフラッシュバック済みを示す情報をライトする。ステップ S 74 において、メモリ制御部 120 # 0 は、フラッシュバック状態通知線 116 # 0 をアサートする。

【0104】

(B2) システム制御部 30 # 0 は、フラッシュバック状態通知線 116 # 0 がアサートされると、ACT/SBY の系切り替え信号をシステム交絡線 52 に出力する。このとき、メインメモリ 112 # 0 にフラッシュバック済みを示す情報がライトされてから、フラッシュバック状態通知線 116 # 0 がアサートされるのでより確実にフラッシュバック済みを示す情報が 1 系システム 110 # 1 でリードされて、1 系システム 110 # 1 によって、より確実にサービスを継続することができる。

【0105】

以上説明した第 2 実施形態によれば、第 1 実施形態と同様の効果がある。

【0106】

第 3 実施形態

図 14 は、本発明の第 3 実施形態による二重化システムの構成図であり、図 2 中の構成要素と実質的に同一の構成要素には同一の符号を付している。

【0107】

図 15 は、図 14 中のメインメモリ 122 # i の構成図であり、図 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 15 中のメモリ制御部 130 # i は、フラッシュバック済みの情報をメモリ部 86 # i ではなくフラッシュバック状態レジスタ 132 # i にライトするようにしたことが、図 4 中のメモリ制御部 84 # i と異なる。このようにフラッシュバック状態レジスタ 132 # i に情報をライトしてメインメモリ 122 # i からその情報を除外することにより、メインメモリ 122 # i にプログラムをロードするときの制約が少なくなる。

【0108】

図14中のMPU部121#iは、SBY系からACT系に切り替わったときに実行する緊急制御動作プログラムがフラッシュバック済みを示す情報をメインメモリ122#iではなく、他系のフラッシュバック状態レジスタ132#j（j≠i）からリードするようにしたことが、図2中のMPU部22#iが実行する緊急制御動作プログラムと異なる。

【0109】

図14中の他機能部接続バス124は、INF32#0、32#1を接続するようにしたことが、かかる限定のない図2中の他機能接続バス49#0、49#1と異なる。INF32#0、32#1を接続するようにしたのは、自系システム120#iのMPU部121#iが他系システム120#j（j≠i）のフラッシュバック状態レジスタ132#jからフラッシュバック済みを示す情報を他機能部接続バス124を通してリードするためである。但し、他系のフラッシュバック状態レジスタ132#jから情報がリードできる機構であれば、特に制約はない。

【0110】

図16は、図14中のメインメモリ122#iの動作フローチャートである。以下、図面を参照して、図14の動作説明をする。本実施形態においても、0系システム120#0をACT系、1系システム120#1をSBY系とする。0系システム120#0の障害により、ウォッチドックタイマ94#0がオーバーフローしたとする。

【0111】

(B1) システム制御部30#0は、ウォッチドックタイマ94#0がオーバーフローすると、第1実施形態の(B1)と同様に動作する。

【0112】

(A2) MPU部121#0は、割り込み通知線42#0がアサートされると、割り込みが発生して、第1実施形態の(A2)と同様に動作する。

【0113】

(C) キャッシュメモリ制御部24#0は、第1実施形態の(C)と同様に

して、メインメモリ 122 # 0 にフラッシュバックを行う。キャッシュメモリ制御部 24 # 0 は、フラッシュバックが完了すると、フラッシュバック状態通知線 40 # 0 をアサートする。

【0114】

(D) メインメモリ 122 # 0 の動作

図 16 中のステップ S 80 において、メモリ制御部 130 # 0 は、フラッシュバック状態通知線 40 # 0 がアサートされたか否かをチェックする。アサートされた場合は、ステップ S 82 に進む。アサートされなかった場合は、終了する。ステップ S 82 において、メモリ制御部 130 # 0 は、フラッシュバック状態レジスタ 132 # 0 にフラッシュバック済みを示す情報をライトする。

【0115】

(B2) システム制御部 30 # 0 は、第 1 実施形態の (B2) と同様にして、ACT/SBY の系切り替え信号をシステム交絡線 52 に出力する。

【0116】

(B3) SBY 系のシステム制御部 30 # 1 は、第 1 実施形態の (B3) と同様に動作して、システム交絡線 52 より ACT/SBY の系の切り替え信号を入力すると、割り込み通知線 42 # 1 をアサートする。

【0117】

(A3) MPU 部 121 # 1 の動作

MPU 部 121 # 1 は、割り込み通知線 42 # 1 がアサートされると、割り込みが発生して、緊急制御動作プログラムが起動される。緊急制御動作プログラムは、MPU バス 34 # 1、キャッシュメモリ制御部 24 # 1、拡張 MPU バス 36 # 1、INF 部 32 # 1、他機能部接続バス 124、INF 部 32 # 0、拡張 MPU バス 36 # 0 を通して、図 15 中のフラッシュバック状態レジスタ 132 # 0 よりフラッシュバック済みか否かを示す情報をリードする。緊急制御動作プログラムは、情報がフラッシュバック済みであることを示す場合は、サービスプログラムを起動して、サービスを継続する。情報がフラッシュバック済みでないことを示す場合は、IPL して、サービスを中断してから、サービスを再開する。

【0 1 1 8】

以上説明した第 3 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 1 1 9】

第 4 実施形態

図 1 7 は、本発明の第 4 実施形態による二重化システムの構成図であり、図 1 1 又は図 1 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 1 7 の二重化システムは、図 1 1 に示す第 2 実施形態と図 1 4 に示す第 3 実施形態を組み合わせたものである。

【0 1 2 0】

図 1 8 は、図 1 7 中のメインメモリ 1 4 2 # i の構成図であり、図 1 2 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 1 8 中のメモリ制御部 1 4 4 # i は、フラッシュバック済み情報をフラッシュバック状態レジスタ 1 3 2 # i にライトするようにしたことが、図 1 2 中のメモリ制御部 1 2 0 # i と異なる。

【0 1 2 1】

図 1 9 は、図 1 7 中のメインメモリ 1 4 2 # i の動作フローチャートである。以下、この図面を参照して、図 1 7 の動作説明をする。0 系システム 1 4 0 # 0 が A C T 系、1 系システム 1 4 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 1 2 2】

(B 1) システム制御部 3 0 # 0 は、ウォッチドックタイマ 9 4 # 0 がオーバフローすると、第 1 実施形態の (B 1) と同様に動作する。

【0 1 2 3】

(A 2) M P U 部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して、第 1 実施形態の (A 2) と同様に動作する。

【0 1 2 4】

(C) キャッシュメモリ制御部 2 4 # 0 は、第 1 実施形態の (C) と同様に動作して、メインメモリ 1 4 2 # 0 にフラッシュバックを行う。キャッシュメモリ制御部 2 4 # 0 は、フラッシュバックが完了すると、フラッシュバック状態通

知線 114 # 0 をアサートする。

【0125】

(D) メインメモリ 142 # 0 の動作

図 19 中のステップ S90 において、メモリ制御部 144 # 0 は、フラッシュバック状態通知線 114 # 0 がアサートされたか否かをチェックする。アサートされた場合は、ステップ S92 に進む。アサートされなかった場合は、終了する。ステップ S92 において、メモリ制御部 144 # 0 は、フラッシュバック状態レジスタ 132 # 0 にフラッシュバック済みを示す情報をライトする。ステップ S94 において、メモリ制御部 144 # 0 は、フラッシュバック状態通知線 116 # 0 をアサートする。

【0126】

(B2) システム制御部 30 # 0 は、第 1 実施形態の (B2) と同様にして、ACT/SBY の系切り替え信号をシステム交絡線 52 に出力する。

【0127】

(B3) SBY 系のシステム制御部 30 # 1 は、第 1 実施形態の (B3) と同様に動作する。

【0128】

(A3) MPU 部 121 # 1 は、第 3 実施形態の (A3) と同様に動作する。

【0129】

以上説明した第 4 実施形態によれば、第 1 実施形態と同様の効果がある。

【0130】

第 5 実施形態

図 20 は、本発明の第 5 実施形態による二重化システムの構成図であり、図 2 中の構成要素と実質的に同一の構成要素には同一の符号を付している。

【0131】

図 21 は、図 20 中のキャッシュメモリ制御部 152 # i の構成図であり、図 3 中の構成要素と実質的に同一の構成要素には同一の符号を付している。コマンド変換部 160 # i は、フラッシュバック済みを示すフラッシュバック状態通知線 4

0 # 0 をアサートすることによりメインメモリ 154 # i 及びシステム制御部 156 # i に通知するのではなく、フラッシュバック完了コマンドを拡張 MPU バス 36 # i に出力することにより行うようにした点で、図 3 中のコマンド変換部 62 # i と異なる。

【0132】

図 22 は、図 20 中のメインメモリ 154 # i の構成図であり、図 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。メモリ制御部 162 # i は、フラッシュバック完了通知コマンドを受信すると、メモリ部 86 # i の特定のアドレス領域にフラッシュバック済みを示す情報をライトする点で、図 4 中のメモリ制御部 84 # i と異なる。

【0133】

図 23 は、図 20 中のシステム制御部 156 # i の構成図であり、図 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。主制御部 164 # i は、フラッシュバック完了通知コマンドを受信すると、交絡制御部 102 # i に ACT / SBY の系切り替えを指示する点で、図 5 中の主制御部 100 # i と異なる。

【0134】

図 24 は、図 20 中のシステム制御部 156 # i の動作フローチャートである。図 25 は、図 20 中のキャッシュメモリ制御部 152 # i の動作フローチャートである。図 26 は、図 20 中のメインメモリ 154 # i の動作フローチャートである。以下、これらの図面を参照して、図 20 の動作説明をする。0 系システム 150 # 0 が ACT 系、1 系システム 150 # 1 が SBY 系であるとし、ウォッチドックタイマ 94 # 0 がオーバフローしたとする。

【0135】

(B1) システム制御部 156 # 0 は、ウォッチドックタイマ 94 # 0 がオーバフローすると、第 1 実施形態の (B1) と同様にして、図 24 中のステップ S100 ～ステップ S110 の処理を行う。

【0136】

(A2) MPU 部 22 # 0 は、割り込み通知線 42 # 0 がアサートされると

、割り込みが発生して、第1実施形態の(A2)と同様に動作する。

【0137】

(C) キャッシュメモリ制御部152#0は、第1実施形態の(C)と同様にして、図25中のステップS120～ステップS124の処理を行う。ステップS126において、フラッシュバックが完了すると、コマンド変換部160#iは、拡張MPUバスインタフェース制御部64#iを通して、フラッシュバック完了通知コマンドを拡張MPUバス36#iに出力する。

【0138】

フラッシュバック完了通知コマンドは、メインメモリ154#i及びシステム制御部156#iで受信して、認識可能なものであれば特に制限はないが、例えば、特有のコマンドコードにより識別する。また、フラッシュバック完了通知コマンドは受信側の宛先を示す情報と共に送信するようにして、最初に、メインメモリ154#0に、その後、システム制御部156#0に送信するようにしても良い。こうすることにより、メインメモリ154#0の特定アドレスにフラッシュバック済みを示す情報をライトしてから、ACT/SBYの切り替えをより確実に行うことができる。

【0139】

(D) 図26中のステップS130において、メモリ制御部162#0は、フラッシュバック完了通知コマンドが入力されたか否かをチェックする。フラッシュバック完了通知コマンドが入力された場合は、ステップS132に進む。フラッシュバック完了通知コマンドが入力されなかった場合は、終了する。ステップS132において、メモリ制御部162#0は、メモリ部86#0の特定アドレス領域にフラッシュバック済みを示す情報をライトする。

【0140】

(B2) システム制御部156#0中の主制御部164#0は、図24中のステップS112において、フラッシュバック完了通知コマンドが入力されたか否かをチェックする。フラッシュバック完了通知コマンドが入力された場合は、ステップS116に進む。フラッシュバック完了通知コマンドが入力されなかった場合は、ステップS114に進む。ステップS114～ステップS116にお

いて、第1実施形態の(B2)と同様にして、ACT/SBYの系切り替え信号をシステム交絡線52に出力する。

【0141】

(B3) SBY系のシステム制御部156#1は、第1実施形態の(B3)と同様に動作する。

【0142】

(A3) MPU部22#1は、第1実施形態の(A1)と同様に動作する。

【0143】

以上説明した第5実施形態によれば、第1実施形態と同様の効果がある。

【0144】

第6実施形態

図27は、本発明の第6実施形態による二重化システムの構成図であり、図11又は図20中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図11の第2実施形態と図20の第5実施形態を組み合わせたものである。

【0145】

図28は、図27中のメインメモリ172#iの構成図であり、図12又は22中の構成要素と実質的に同一の構成要素には同一の符号を付している。メモリ制御部180#iは、フラッシュバック完了通知コマンドを入力すると、メモリ部86#iの特定アドレス領域にフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線116#iをアサートするようにした点で、図12又は図22中のメモリ制御部120#i、162#iと異なる。

【0146】

図29は、図27中のメインメモリ172#iの動作フローチャートである。以下、図面を参照して、図27の動作説明をする。0系システム170#0がACT系、1系システム170#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0147】

(B1) システム制御部30#0は、第1実施形態の(B1)と同様に動作

する。

【0 1 4 8】

(A 2) MPU部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 1 4 9】

(C) キャッシュメモリ制御部 1 5 2 # 0 は、第 5 実施形態の (C) と同様に動作する。

【0 1 5 0】

(D) 図 2 9 中のステップ S 1 4 0 及びステップ S 1 4 2 において、メモリ制御部 1 8 0 # 0 は、第 5 実施形態の (D) と同様の処理を行う。ステップ S 1 4 4 において、メモリ制御部 1 8 0 # 0 は、第 2 実施形態の (D) と同様に、フラッシュバック状態通知線 1 1 6 # i をアサートする。

【0 1 5 1】

(B 2) システム制御部 3 0 # 0 は、第 1 実施形態の (B 2) と同様に動作する。

【0 1 5 2】

(B 3) S B Y 系のシステム制御部 3 0 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 1 5 3】

(A 3) MPU部 2 2 # 1 は、第 1 実施形態の (A 3) と同様に動作する。

【0 1 5 4】

以上説明した第 6 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 1 5 5】

第 7 実施形態

図 3 0 は、本発明の第 7 実施形態による二重化システムの構成図であり、図 1 4 又は図 2 0 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 4 の第 3 実施形態と図 2 0 の第 5 実施形態を組み合わせたものである。

【0 1 5 6】

図31は、図30中のメインメモリ192#iの構成図であり、図15又は22中の構成要素と実質的に同一の構成要素には同一の符号を付している。メモリ制御部200#iは、フラッシュバック完了通知コマンドを入力すると、フラッシュバック状態レジスタ132#iにフラッシュバック済みを示す情報をライトするようにした点で、図15又は図22中のメモリ制御部130#i、162#iと異なる。

【0157】

以下、図面を参照して、図30の動作説明をする。0系システム190#0がACT系、1系システム190#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0158】

(B1) システム制御部156#0は、第1実施形態の(B1)と同様に動作する。

【0159】

(A2) MPU部121#0は、割り込み通知線42#0がアサートされると、割り込みが発生して第1実施形態の(A2)と同様に動作する。

【0160】

(C) キャッシュメモリ制御部152#0は、第5実施形態の(C)と同様に動作する。

【0161】

(D) 図31中のメモリ制御部200#0は、フラッシュバック完了通知コマンドを受信すると、フラッシュバック状態レジスタ132#iにフラッシュバック済みを示す情報をライトする。

【0162】

(B2) システム制御部156#0は、第5実施形態の(B2)と同様に動作する。

【0163】

(B3) SBY系のシステム制御部156#1は、第1実施形態の(B3)と同様に動作する。

【0 1 6 4】

(A 3) MPU部 1 2 1 # 1 は、第 3 実施形態の (A 3) と同様に動作する。

【0 1 6 5】

以上説明した第 7 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 1 6 6】

第 8 実施形態

図 3 2 は、本発明の第 8 実施形態による二重化システムの構成図であり、図 1 4 又は図 2 7 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 4 の第 3 実施形態と図 2 7 の第 6 実施形態を組み合わせたものである。

【0 1 6 7】

図 3 3 は、図 3 2 中のメインメモリ 2 1 2 # i の構成図であり、図 1 5 又は 2 8 中の構成要素と実質的に同一の構成要素には同一の符号を付している。メモリ制御部 2 2 0 # i は、フラッシュバック完了通知コマンドを入力すると、フラッシュバック状態レジスタ 1 3 2 # i にフラッシュバック済みを示す情報をライトする共にフラッシュバック状態通知線 1 1 6 # i をアサートするようにした点で、図 1 5 又は図 2 8 中のメモリ制御部 1 3 0 # i, 1 8 0 # i と異なる。

【0 1 6 8】

以下、図面を参照して、図 3 2 の動作説明をする。0 系システム 2 1 0 # 0 が A C T 系、1 系システム 2 1 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 1 6 9】

(B 1) システム制御部 3 0 # 0 は、第 1 実施形態の (B 1) と同様に動作する。

【0 1 7 0】

(A 2) MPU部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 1 7 1】

(C) キャッシュメモリ制御部 1 5 2 # 0 は、第 5 実施形態の (C) と同様に動作する。

【0 1 7 2】

(D) 図 3 3 中のメモリ制御部 2 2 0 # 0 は、フラッシュバック完了通知コマンドを受信すると、フラッシュバック状態レジスタ 1 3 2 # i にフラッシュバック済みを示す情報をライトすると共に、フラッシュバック状態通知線 1 1 6 # 0 をアサートする。

【0 1 7 3】

(B 2) システム制御部 3 0 # 0 は、第 1 実施形態の (B 2) と同様に動作する。

【0 1 7 4】

(B 3) S B Y 系のシステム制御部 3 0 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 1 7 5】

(A 3) M P U 部 1 2 1 # 1 は、第 3 実施形態の (A 3) と同様に動作する。

【0 1 7 6】

以上説明した第 8 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 1 7 7】

第 9 実施形態

図 3 4 は、本発明の第 9 実施形態による二重化システムの構成図であり、図 2 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 3 4 の i 系システム 2 3 0 # i は、システム制御部 2 3 6 # i 及び I N F 部 3 2 # i を全体リセット線によりリセットするのではなく、アイソレート部 2 3 2 # i, 2 3 4 # i を設けて、拡張 M P U バス 3 6 # i のロックを強制的に解除した点が、図 2 の i 系システム 2 0 # i と異なる。

【0 1 7 8】

図 3 5 は、図 3 4 中のシステム制御部 2 3 6 # i の構成図であり、図 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。主制御部 2 4 0

i は、ウォッチドックタイマ 94 # i がオーバフローすると、アイソレート指示線 237 # i, 238 # i をアサートする点で、図 5 中の主制御部 100 # i と異なる。

【0179】

図 36 は、図 34 中のアイソレート部 232 # i, 234 # i の構成図である。図 36 に示すように、アイソレート部 232 # i, 234 # i は、トライステートバッファ 242 # i 及び受信バッファ 246 # i を有する。トライステートバッファ 242 # i は、入力側が INF 部 32 # i 又はシステム制御部 236 # i の出力側に接続される拡張 MPU バス 36 # i に接続され、出力側がキャッシュメモリ制御部 24 # i 等に接続される拡張 MPU バス 36 # i に接続されており、アイソレート指示線 237 # i, 238 # i がアサートされると、出力がハイインピーダンス状態になる。

【0180】

これにより、INF 部 32 # i やシステム制御部 236 # i が拡張 MPU バス 36 # i をロックしていても、アイソレート指示線 237 # i, 238 # i がアサートされるとトライステートバッファ 242 # i の出力がハイインピーダンス状態になるので、キャッシュメモリ制御部 24 # i が拡張 MPU バス 36 # i の使用权を獲得することができ、拡張 MPU バス 36 # i のロックが解除される。受信バッファ 246 # i は、キャッシュメモリ制御部 24 # i 等に接続される拡張 MPU バス 36 # i から信号を受信するバッファである。これにより、トライステートバッファ 242 # i の出力がハイインピーダンス状態であっても、INF 部 32 # i 及びシステム制御部 236 # i は、拡張 MPU バス 36 # i より受信することができる。

【0181】

図 37 は、図 34 中のシステム制御部 236 # i の動作フローチャートである。以下、図面を参照して、図 34 の動作説明をする。0 系システム 230 # 0 が ACT 系、1 系システム 230 # 1 が SBY 系であるとし、ウォッチドックタイマ 94 # 0 がオーバフローしたとする。

【0182】

(B 1) 図 3 7 中のステップ S 1 5 0 において、主制御部 2 4 0 # 0 は、ウォッチドックタイマ 9 4 # i がオーバフローしたか否かをチェックする。オーバフローしたならば、ステップ S 1 5 2 に進み、オーバフローしていなければ、終了する。ステップ S 1 5 2 において、系切り替えタイマ 9 8 # 0 が起動される。

【 0 1 8 3 】

ステップ S 1 5 4 において、主制御部 2 4 0 # 0 は、アイソレート指示線 2 3 7 # 0, 2 3 8 # 0 をアサートする。これにより、アイソレート部 2 3 2 # 0, 2 3 4 # 0 の出力がハイインピーダンス状態になって、I N F 部 3 2 # 0 及びシステム制御部 2 3 6 # 0 の出力が、拡張 M P U バス 3 6 # 0 からアイソレートされる。但し、I N F 部 3 2 # 0 及びシステム制御部 2 3 6 # 0 は、拡張 M P U バス 3 6 # 0 より受信は可能である。

【 0 1 8 4 】

ステップ S 1 5 6 において、主制御部 2 4 0 # 0 は、全体リセット線 4 7 # 0 をアサートする。ステップ S 1 5 8 において、主制御部 2 4 0 # 0 は、部分リセット線 4 6 # 0 をアサートする。ステップ S 1 6 0 において、主制御部 2 4 0 # 0 は、割り込み通知線 4 2 # 0 をアサートする。

【 0 1 8 5 】

(A 2) M P U 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【 0 1 8 6 】

(C) キャッシュメモリ制御部 2 4 # 0 は、M P U 部 2 2 # 0 よりフラッシュバック指示コマンドが入力されると、強制的に拡張 M P U バス 3 6 # 0 のアクセス権を獲得する。キャッシュメモリ制御部 2 4 # 0 自体が部分リセットされていること、メインメモリ 2 8 # 0 が全体リセットされていること、I N F 部 3 2 # 0 及びシステム制御部 2 3 6 # 0 の出力が拡張 M P U バス 3 6 # 0 からアイソレートされていることから、キャッシュメモリ制御部 2 4 # 0 が拡張 M P U バス 3 6 # 0 のアクセス権を獲得することが可能となる。これにより、拡張 M P U バス 3 6 # 0 がそれまでロックされていても、キャッシュメモリ 2 6 # 0 からメインメモリ 2 8 # 0 にフラッシュバックすることができる。

【0 1 8 7】

(D) メインメモリ 2 8 # 0 は、第 1 実施形態の (D) と同様に動作する。

【0 1 8 8】

(B 2) システム制御部 2 3 6 # 0 は、図 3 7 中のステップ S 1 6 2 ～ステップ S 1 6 6 において、第 1 実施形態の (B 2) と同様に動作する。ステップ S 1 6 8 において、主制御部 2 4 0 # 0 は、アイソレート指示線 2 3 7 # 0, 2 3 8 # 0 をネゲートする。フラッシュバックが完了すれば、I N F 部 3 2 # 0 及びシステム制御部 2 3 6 # 0 を拡張 M P U バス 3 6 # 0 からアイソレートする必要があること、以降の処理において、I N F 部 3 2 # 0 及びシステム制御部 2 3 6 # 0 が拡張 M P U バス 3 6 # 0 にアクセスする場合は有りうることからである。

【0 1 8 9】

(B 3) S B Y 系のシステム制御部 3 0 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 1 9 0】

(A 3) M P U 部 2 2 # 1 は、第 1 実施形態の (A 3) と同様に動作する。

【0 1 9 1】

以上説明した第 9 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 1 9 2】

第 1 0 実施形態

図 3 8 は、本発明の第 1 0 実施形態による二重化システムの構成図であり、図 1 1 又は図 3 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 1 の第 2 実施形態と図 3 4 の第 9 実施形態を組み合わせたものである。

【0 1 9 3】

以下、図 3 8 の動作説明をする。0 系システム 2 5 0 # 0 が A C T 系、1 系システム 2 5 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 1 9 4】

(B 1) システム制御部 2 3 6 # 0 は、第 9 実施形態の (B 1) と同様に動

作する。

【0 1 9 5】

(A 2) MPU部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 1 9 6】

(C) キャッシュメモリ制御部 2 4 # 0 は、第 1 実施形態の (C) と同様に動作する。

【0 1 9 7】

(D) メインメモリ 1 1 2 # 0 は、第 2 実施形態の (D) と同様に動作する。

【0 1 9 8】

(B 2) システム制御部 2 3 6 # 0 は、第 9 実施形態の (B 2) と同様に動作する。

【0 1 9 9】

(B 3) SBY系のシステム制御部 2 3 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 2 0 0】

(A 3) MPU部 2 2 # 1 は、第 1 実施形態の (A 3) と同様に動作する。

【0 2 0 1】

以上説明した第 1 0 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 2 0 2】

第 1 1 実施形態

図 3 9 は、本発明の第 1 1 実施形態による二重化システムの構成図であり、図 1 4 又は図 3 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 4 の第 3 実施形態と図 3 4 の第 9 実施形態を組み合わせたものである。

【0 2 0 3】

以下、図 3 9 の動作説明をする。0 系システム 2 6 0 # 0 が A C T 系、1 系システム 2 6 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオー

バフローしたとする。

【0204】

(B1) システム制御部236#0は、第9実施形態の(B1)と同様に動作する。

【0205】

(A2) MPU部121#0は、割り込み通知線42#0がアサートされると、割り込みが発生して第1実施形態の(A2)と同様に動作する。

【0206】

(C) キャッシュメモリ制御部24#0は、第1実施形態の(C)と同様に動作する。

【0207】

(D) メインメモリ122#0は、第3実施形態の(D)と同様に動作する。

【0208】

(B2) システム制御部236#0は、第9実施形態の(B2)と同様に動作する。

【0209】

(B3) SBY系のシステム制御部236#1は、第1実施形態の(B3)と同様に動作する。

【0210】

(A3) MPU部121#1は、第3実施形態の(A3)と同様に動作する。

【0211】

以上説明した第11実施形態によれば、第1実施形態と同様の効果がある。

【0212】

第12実施形態

図40は、本発明の第12実施形態による二重化システムの構成図であり、図17又は図34中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図17の第4実施形態と図34の第9実施形態を組み合わせ

せたものである。

【0 2 1 3】

以下、図40の動作説明をする。0系システム270#0がACT系、1系システム270#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0 2 1 4】

(B1) システム制御部236#0は、第9実施形態の(B1)と同様に動作する。

【0 2 1 5】

(A2) MPU部121#0は、割り込み通知線42#0がアサートされると、割り込みが発生して第1実施形態の(A2)と同様に動作する。

【0 2 1 6】

(C) キャッシュメモリ制御部24#0は、第1実施形態の(C)と同様に動作する。

【0 2 1 7】

(D) メインメモリ142#0は、第4実施形態の(D)と同様に動作する。

【0 2 1 8】

(B2) システム制御部236#0は、第9実施形態の(B2)と同様に動作する。

【0 2 1 9】

(B3) SBY系のシステム制御部236#1は、第1実施形態の(B3)と同様に動作する。

【0 2 2 0】

(A3) MPU部121#1は、第3実施形態の(A3)と同様に動作する。

【0 2 2 1】

以上説明した第12実施形態によれば、第1実施形態と同様の効果がある。

【0 2 2 2】

第 1 3 実施形態

図 4 1 は、本発明の第 1 3 実施形態による二重化システムの構成図であり、図 2 0 又は図 3 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 2 0 の第 5 実施形態と図 3 4 の第 9 実施形態を組み合わせたものである。

【0 2 2 3】

以下、図 4 1 の動作説明をする。0 系システム 2 8 0 # 0 が A C T 系、1 系システム 2 8 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 2 2 4】

(B 1) システム制御部 2 8 2 # 0 は、第 9 実施形態の (B 1) と同様に動作する。

【0 2 2 5】

(A 2) M P U 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 2 2 6】

(C) キャッシュメモリ制御部 1 5 2 # 0 は、第 5 実施形態の (C) と同様に動作する。

【0 2 2 7】

(D) メインメモリ 1 5 4 # 0 は、第 5 実施形態の (D) と同様に動作する。

【0 2 2 8】

(B 2) システム制御部 2 8 2 # 0 は、第 5 実施形態の (B 2) と同様に動作して、フラッシュバック完了通知コマンドを受信すると、A C T / S B Y の系切り替え信号をシステム交絡線 5 2 に出力する。そして、第 9 実施形態の (B 2) と同様に、アイソレート指示線 2 3 7 # 0, 2 3 8 # 0 をネゲートする。

【0 2 2 9】

(B 3) S B Y 系のシステム制御部 2 8 2 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0230】

(A3) MPU部22#1は、第1実施形態の(A3)と同様に動作する。

【0231】

以上説明した第13実施形態によれば、第1実施形態と同様の効果がある。

【0232】

第14実施形態

図42は、本発明の第14実施形態による二重化システムの構成図であり、図27又は図34中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図27の第6実施形態と図34の第9実施形態を組み合わせたものである。

【0233】

以下、図42の動作説明をする。0系システム290#0がACT系、1系システム290#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0234】

(B1) システム制御部292#0は、第9実施形態の(B1)と同様に動作する。

【0235】

(A2) MPU部22#0は、割り込み通知線42#0がアサートされると、割り込みが発生して第1実施形態の(A2)と同様に動作する。

【0236】

(C) キャッシュメモリ制御部152#0は、第5実施形態の(C)と同様に動作する。

【0237】

(D) メインメモリ172#0は、第6実施形態の(D)と同様に動作する。

【0238】

(B2) システム制御部292#0は、第6実施形態の(B2)と同様に動作して、フラッシュバック状態通知線116#0がアサートされるとACT/S

BYの系切り替え信号をシステム交絡線52に出力する。そして、第9実施形態の(B2)と同様に、アイソレート指示線237#0, 238#0をネゲートする。

【0239】

(B3) SBY系のシステム制御部292#1は、第1実施形態の(B3)と同様に動作する。

【0240】

(A3) MPU部22#1は、第1実施形態の(A3)と同様に動作する。

【0241】

以上説明した第14実施形態によれば、第1実施形態と同様の効果がある。

【0242】

第15実施形態

図43は、本発明の第15実施形態による二重化システムの構成図であり、図30又は図41中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図30の第7実施形態と図41の第13実施形態を組み合わせたものである。

【0243】

以下、図43の動作説明をする。0系システム300#0がACT系、1系システム300#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0244】

(B1) システム制御部282#0は、第9実施形態の(B1)と同様に動作する。

【0245】

(A2) MPU部121#0は、割り込み通知線42#0がアサートされると、割り込みが発生して第1実施形態の(A2)と同様に動作する。

【0246】

(C) キャッシュメモリ制御部152#0は、第5実施形態の(C)と同様に動作する。

【0247】

(D) メインメモリ192#0は、第7実施形態の(D)と同様に動作する。

【0248】

(B2) システム制御部282#0は、第13実施形態の(B2)と同様に動作する。

【0249】

(B3) SBY系のシステム制御部282#1は、第1実施形態の(B3)と同様に動作する。

【0250】

(A3) MPU部121#1は、第3実施形態の(A3)と同様に動作する。

【0251】

以上説明した第15実施形態によれば、第1実施形態と同様の効果がある。

【0252】

第16実施形態

図44は、本発明の第16実施形態による二重化システムの構成図であり、図32又は図42中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図32の第8実施形態と図42の第14実施形態を組み合わせたものである。

【0253】

以下、図44の動作説明をする。0系システム310#0がACT系、1系システム310#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0254】

(B1) システム制御部292#0は、第9実施形態の(B1)と同様に動作する。

【0255】

(A2) MPU部121#0は、割り込み通知線42#0がアサートされる

と、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 2 5 6】

(C) キャッシュメモリ制御部 1 5 2 # 0 は、第 5 実施形態の (C) と同様に動作する。

【0 2 5 7】

(D) メインメモリ 2 1 2 # 0 は、第 8 実施形態の (D) と同様に動作する。

【0 2 5 8】

(B 2) システム制御部 2 9 2 # 0 は、第 1 4 実施形態の (B 2) と同様に動作する。

【0 2 5 9】

(B 3) S B Y 系のシステム制御部 2 9 2 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 2 6 0】

(A 3) M P U 部 1 2 1 # 1 は、第 3 実施形態の (A 3) と同様に動作する。

【0 2 6 1】

以上説明した第 1 6 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 2 6 2】

第 1 7 実施形態

図 4 5 は、本発明の第 1 7 実施形態による二重化システムの構成図であり、図 2 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 4 5 中のキャッシュメモリ制御部 3 2 2 # i は、拡張 M P U バス 3 6 # i ではなく、強制フラッシュバック線 3 2 8 # i を使用して、フラッシュバックを行うようにした点で図 2 中のキャッシュメモリ制御部 2 4 # i と異なる。強制フラッシュバック線 3 2 8 # i は、データ及びそのアドレスをメインメモリ 3 2 4 # i に送信できるものであれば、特に制限はなく、シリアルインタフェースあるいはパラレルインタフェースのいずれであっても良い。

【0 2 6 3】

図 4 6 は、図 4 5 中のキャッシュメモリ制御部 3 2 2 # i の構成図であり、図 3 中の構成要素と実質的に同一の構成要素には同一の符号を付している。コマンド変換部 3 3 0 # i は、MPU バスインタフェース制御部 6 0 からフラッシュバック指示コマンドを入力すると、キャッシュメモリ 2 6 # i からリードされたデータ及びそのアドレスを含むライトコマンドを強制フラッシュバック線インタフェース制御部 3 3 2 # i に出力するようにした点で、図 3 中のコマンド変換部 6 2 # i と異なる。強制フラッシュバック線インタフェース制御部 3 3 2 # i は、コマンド変換部 3 3 0 # i から出力されたライトコマンドを強制フラッシュバック線 3 2 8 # i のインタフェースに従って出力する。

【 0 2 6 4 】

図 4 7 は、図 4 5 中のメインメモリ 3 2 4 # i の構成図であり、図 4 中の構成要素と実質的に同一の構成要素には同一の符号を付している。強制フラッシュバック制御部 3 3 2 # i は、強制フラッシュバック線 3 2 8 # i よりデータ及びそのアドレスを受信するとメモリ部 8 6 # i にライトする。

【 0 2 6 5 】

以下、図 4 5 の動作説明をする。0 系システム 3 2 0 # 0 が ACT 系、1 系システム 3 2 0 # 1 が SBY 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【 0 2 6 6 】

(B 1) システム制御部 3 2 6 # 0 では、ウォッチドックタイマ 9 4 # i がオーバフローすると、系切り替えタイマ 9 8 # 0 が起動されると共に、割り込み通知線 4 2 # 0 をアサートする。

【 0 2 6 7 】

(A 2) MPU 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【 0 2 6 8 】

(C) 図 4 6 中のコマンド変換部 3 3 0 # 0 は、第 1 実施形態の (C) と同様に動作して、キャッシュメモリ 2 6 # 0 からリードされたデータ及びタグ部 7 0 # 0 からリードされたアドレスをキャッシュメモリエントリ制御部 6 8 # 0 か

ら入力されると、該データ及びアドレスを含むライトコマンドを強制フラッシュバック線インタフェース制御部 332 # 0 に出力する。

【0269】

強制フラッシュバック線インタフェース制御部 332 # 0 は、データ及びアドレスを含むライトコマンドを強制フラッシュバック線 328 # 0 のインタフェースに従って出力する。コマンド変換部 330 # 0 及びキャッシュメモリエントリ制御部 68 # 0 は、上記処理をフラッシュバックする全てのデータについて行う。コマンド変換部 330 # 0 は、フラッシュバックが完了すると、フラッシュバック状態通知線 40 # 0 をアサートする。

【0270】

(D) 図 47 中の強制フラッシュバック制御部 332 # 0 は、強制フラッシュバック線 328 # 0 からデータ及びアドレスを受信すると、メモリ部 86 # 0 に該アドレスでデータをライトする。一方、メモリ制御部 84 # 0 は、フラッシュバック状態通知線 40 # 0 がアサートされると、メモリ部 86 # 0 の特定のアドレス領域にフラッシュバック済みを示す情報をライトする。

【0271】

(B2) システム制御部 326 # 0 は、第 1 実施形態の (B2) と同様に動作する。

【0272】

(B3) SBY 系のシステム制御部 326 # 1 は、第 1 実施形態の (B3) と同様に動作する。

【0273】

(A3) MPU 部 22 # 1 は、第 1 実施形態の (A3) と同様に動作する。

【0274】

以上説明した第 17 実施形態によれば、第 1 実施形態と同様の効果がある。

【0275】

第 18 実施形態

図 48 は、本発明の第 18 実施形態による二重化システムの構成図であり、図 11 又は図 45 中の構成要素と実質的に同一の構成要素には同一の符号を付して

いる。本実施形態は、図 1 1 の第 2 実施形態と図 4 5 の第 1 7 実施形態を組み合わせたものである。

【 0 2 7 6 】

図 4 9 は、図 4 8 中のメインメモリ 3 4 2 # i の構成図であり、図 1 2 又は図 4 7 の構成要素と実質的に同一の構成要素には同一の符号を付している。メインメモリ 3 4 2 # i は、図 1 2 のメインメモリ 1 1 2 # i と図 4 7 のメインメモリ 3 2 4 # i とを組み合わせている。

【 0 2 7 7 】

以下、図 4 8 の動作説明をする。0 系システム 3 4 0 # 0 が A C T 系、1 系システム 3 4 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【 0 2 7 8 】

(B 1) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【 0 2 7 9 】

(A 2) M P U 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【 0 2 8 0 】

(C) キャッシュメモリ制御部 3 2 2 # 0 は、第 1 7 実施形態の (C) と同様に動作する。

【 0 2 8 1 】

(D) 図 4 9 中の強制フラッシュバック制御部 3 3 2 # i は、第 1 7 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 8 6 # 0 にライトする。メモリ制御部 1 2 0 # 0 は、第 2 実施形態の (D) と同様にして、フラッシュバック状態通知線 1 1 4 # i がアサートされると、メモリ部 8 6 # 0 の特定のアドレス領域にフラッシュバック済みを示す情報をライトする共にフラッシュバック状態通知線 1 1 6 # 0 をアサートする。

【 0 2 8 2 】

(B 2) システム制御部 3 2 6 # 0 は、第 1 実施形態の (B 2) と同様に動

作する。

【0 2 8 3】

(B 3) SBY系のシステム制御部 3 2 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 2 8 4】

(A 3) MPU部 2 2 # 1 は、第 1 実施形態の (A 3) と同様に動作する。

【0 2 8 5】

以上説明した第 1 8 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 2 8 6】

第 1 9 実施形態

図 5 0 は、本発明の第 1 9 実施形態による二重化システムの構成図であり、図 1 4 又は図 4 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 4 の第 3 実施形態と図 4 5 の第 1 7 実施形態を組み合わせたものである。

【0 2 8 7】

図 5 1 は、図 5 0 中のメインメモリ 3 5 2 # i の構成図であり、図 1 5 又は図 4 7 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 5 1 のメインメモリ 3 5 2 # i は、図 1 5 のメインメモリ 1 2 2 # i と図 4 7 のメインメモリ 3 2 4 # i とを組み合わせている。

【0 2 8 8】

以下、図 5 0 の動作説明をする。0 系システム 3 5 0 # 0 が ACT 系、1 系システム 3 5 0 # 1 が SBY 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 2 8 9】

(B 1) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【0 2 9 0】

(A 2) MPU部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【 0 2 9 1 】

(C) キャッシュメモリ制御部 3 2 2 # 0 は、第 1 7 実施形態の (C) と同様に動作する。

【 0 2 9 2 】

(D) 図 5 1 中の強制フラッシュバック制御部 3 3 2 # i は、第 1 7 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 8 6 # 0 にライトする。メモリ制御部 1 3 0 # 0 は、フラッシュバック状態通知線 4 0 # i がアサートされると、フラッシュバック状態レジスタ 1 3 2 # 0 にフラッシュバック済みを示す情報をライトする。

【 0 2 9 3 】

(B 2) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 2) と同様に動作する。

【 0 2 9 4 】

(B 3) SBY 系のシステム制御部 3 2 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【 0 2 9 5 】

(A 3) MPU 部 1 2 1 # 1 は、第 3 実施形態の (A 3) と同様に動作する。

【 0 2 9 6 】

以上説明した第 1 9 実施形態によれば、第 1 実施形態と同様の効果がある。

【 0 2 9 7 】

第 2 0 実施形態

図 5 2 は、本発明の第 2 0 実施形態による二重化システムの構成図であり、図 1 7 又は図 4 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 7 の第 4 実施形態と図 4 5 の第 1 7 実施形態を組み合わせたものである。

【 0 2 9 8 】

図 5 3 は、図 5 2 中のメインメモリ 3 6 2 # i の構成図であり、図 1 8 又は図 4 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 5

3 のメインメモリ 3 6 2 # i は、図 1 8 のメインメモリ 1 4 2 # i と図 4 7 のメインメモリ 3 2 4 # i とを組み合わせている。

【 0 2 9 9 】

以下、図 5 2 の動作説明をする。0 系システム 3 6 0 # 0 が A C T 系、1 系システム 3 6 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【 0 3 0 0 】

(B 1) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【 0 3 0 1 】

(A 2) M P U 部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【 0 3 0 2 】

(C) キャッシュメモリ制御部 3 2 2 # 0 は、第 1 7 実施形態の (C) と同様に動作する。

【 0 3 0 3 】

(D) 図 5 3 中の強制フラッシュバック制御部 3 3 2 # i は、第 1 7 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 8 6 # 0 にライトする。メモリ制御部 1 4 4 # 0 は、第 4 実施形態の (D) と同様に動作して、フラッシュバック状態通知線 1 1 4 # i がアサートされると、フラッシュバック状態レジスタ 1 3 2 # 0 にフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線 1 1 6 # をアサートする。

【 0 3 0 4 】

(B 2) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 2) と同様に動作する。

【 0 3 0 5 】

(B 3) S B Y 系のシステム制御部 3 2 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【 0 3 0 6 】

(A3) MPU部121#1は、第3実施形態の(A3)と同様に動作する。

【0307】

以上説明した第20実施形態によれば、第1実施形態と同様の効果がある。

【0308】

第21実施形態

図54は、本発明の第21実施形態による二重化システムの構成図であり、図20又は図45中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図20の第5実施形態と図45の第17実施形態を組み合わせたものである。

【0309】

図55は、図54中のメインメモリ374#iの構成図であり、図21又は図45中の構成要素と実質的に同一の構成要素には同一の符号を付している。図55のメインメモリ374#iは、図21のメインメモリ154#iと図47のメインメモリ324#iを組み合わせたものである。

【0310】

以下、図54の動作説明をする。0系システム370#0がACT系、1系システム370#1がSBY系であるとし、ウォッチドックタイマ94#0がオーバフローしたとする。

【0311】

(B1) システム制御部376#0は、第17実施形態の(B1)と同様に動作する。

【0312】

(A2) MPU部22#0は、割り込み通知線42#0がアサートされると、割り込みが発生して第1実施形態の(A2)と同様に動作する。

【0313】

(C) キャッシュメモリ制御部372#0は、第17実施形態の(C)と同様に動作して、フラッシュバックを行う。フラッシュバックが完了すると、第5実施形態の(C)と同様に動作して、フラッシュバック完了通知コマンドを拡張

MPUバス 36 # 0 に出力する。

【0314】

(D) 図 55 中の強制フラッシュバック制御部 332 # i は、第 17 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 86 # 0 にライトする。メモリ制御部 162 # 0 は、第 5 実施形態の (D) と同様にして、フラッシュバック完了通知コマンドを受信すると、フラッシュバック済みを示す情報をメモリ部 86 # 0 の特定のアドレス領域にライトする。

【0315】

(B2) システム制御部 376 # 0 は、第 5 実施形態の (B2) と同様に動作する。

【0316】

(B3) SBY 系のシステム制御部 376 # 1 は、第 1 実施形態の (B3) と同様に動作する。

【0317】

(A3) MPU部 22 # 1 は、第 1 実施形態の (A3) と同様に動作する。

【0318】

以上説明した第 21 実施形態によれば、第 1 実施形態と同様の効果がある。

【0319】

第 22 実施形態

図 56 は、本発明の第 22 実施形態による二重化システムの構成図であり、図 27 又は図 45 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 27 の第 6 実施形態と図 45 の第 17 実施形態を組み合わせたものである。

【0320】

図 57 は、図 56 中のメインメモリ 392 # i の構成図であり、図 28 又は図 47 中の構成要素と実質的に同一の構成要素には同一の符号を付している。図 57 のメインメモリ 392 # i は、図 28 のメインメモリ 172 # i と図 47 のメインメモリ 324 # i とを組み合わせている。

【0321】

以下、図 5 6 の動作説明をする。0 系システム 3 9 0 # 0 が A C T 系、1 系システム 3 9 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 3 2 2】

(B 1) システム制御部 3 9 4 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【0 3 2 3】

(A 2) M P U 部 2 2 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 3 2 4】

(C) キャッシュメモリ制御部 3 7 2 # 0 は、第 2 1 実施形態の (C) と同様に動作する。

【0 3 2 5】

(D) 図 5 7 中の強制フラッシュバック制御部 3 3 2 # i は、第 1 7 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 8 6 # 0 にライトする。メモリ制御部 1 8 0 # 0 は、第 6 実施形態の (D) と同様にして、フラッシュバック完了通知コマンドを受信すると、メモリ部 8 6 # 0 の特定アドレス領域にフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線 1 1 6 # 0 をアサートする。

【0 3 2 6】

(B 2) システム制御部 3 9 4 # 0 は、第 1 7 実施形態の (B 2) と同様に動作する。

【0 3 2 7】

(B 3) S B Y 系のシステム制御部 3 9 4 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 3 2 8】

(A 3) M P U 部 2 2 # 1 は、第 1 実施形態の (A 3) と同様に動作する。

【0 3 2 9】

以上説明した第 2 2 実施形態によれば、第 1 実施形態と同様の効果がある。

【 0 3 3 0 】

第 2 3 実施形態

図 5 8 は、本発明の第 2 3 実施形態による二重化システムの構成図であり、図 3 0 又は図 4 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 3 0 の第 7 実施形態と図 4 5 の第 1 7 実施形態を組み合わせたものである。

【 0 3 3 1 】

以下、図 5 8 の動作説明をする。0 系システム 3 8 0 # 0 が A C T 系、1 系システム 3 8 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【 0 3 3 2 】

(B 1) システム制御部 3 7 6 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【 0 3 3 3 】

(A 2) M P U 部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【 0 3 3 4 】

(C) キャッシュメモリ制御部 3 7 2 # 0 は、第 2 1 実施形態の (C) と同様に動作する。

【 0 3 3 5 】

(D) メインメモリ 3 8 2 # 0 は、第 1 7 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 8 6 # 0 にライトする。メインメモリ 3 8 2 # 0 は、第 7 実施形態の (D) と同様にして、フラッシュバック完了通知コマンドを受信すると、フラッシュバック状態レジスタ 1 3 2 # 0 にフラッシュバック済みを示す情報をライトする。

【 0 3 3 6 】

(B 2) システム制御部 3 7 6 # 0 は、第 5 実施形態の (B 2) と同様に動作する。

【 0 3 3 7 】

(B 3) SBY系のシステム制御部 3 7 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 3 3 8】

(A 3) MPU部 1 2 1 # 1 は、第 3 実施形態の (A 3) と同様に動作する。

【0 3 3 9】

以上説明した第 2 3 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 3 4 0】

第 2 4 実施形態

図 5 9 は、本発明の第 2 4 実施形態による二重化システムの構成図であり、図 3 2 又は図 4 5 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 3 2 の第 8 実施形態と図 4 5 の第 1 7 実施形態を組み合わせたものである。

【0 3 4 1】

以下、図 5 9 の動作説明をする。0 系システム 4 0 0 # 0 が A C T 系、1 系システム 4 0 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 3 4 2】

(B 1) システム制御部 3 9 4 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【0 3 4 3】

(A 2) MPU部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 3 4 4】

(C) キャッシュメモリ制御部 3 7 2 # 0 は、第 2 1 実施形態の (C) と同様に動作する。

【0 3 4 5】

(D) メインメモリ 4 0 2 # 0 は、第 1 7 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 8 6 # 0 にライトする。メインメモリ 4

02#0は、第8実施形態の(D)と同様にして、フラッシュバック完了通知コマンドを受信すると、フラッシュバック状態レジスタ132#0にフラッシュバック済みを示す情報をライトすると共にフラッシュバック通知線116#0をアサートする。

【0346】

(B2) システム制御部394#0は、第17実施形態の(B2)と同様に動作する。

【0347】

(B3) SBY系のシステム制御部394#1は、第1実施形態の(B3)と同様に動作する。

【0348】

(A3) MPU部121#1は、第1実施形態の(A3)と同様に動作する。

【0349】

以上説明した第24実施形態によれば、第1実施形態と同様の効果がある。

【0350】

第25実施形態

図60は、本発明の第25実施形態による二重化システムの構成図であり、図32又は図45中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図32の第8実施形態と図45の第17実施形態を組み合わせたものである。キャッシュメモリ制御部412#iは、フラッシュバックが完了すると、強制フラッシュバック線328#iにフラッシュバック完了通知コマンドを出力する点で、図46のキャッシュメモリ制御部322#iと異なる。

【0351】

図61は、図60中のメインメモリ414#iの構成図であり、図47中の構成要素と実質的に同一の構成要素には同一の符号を付している。強制フラッシュバック制御部416#iは、強制フラッシュバック線328#iよりフラッシュバック完了通知コマンドを受信すると、メモリ制御部418#iにフラッシュバック完了通知をする点で、図47中の強制フラッシュバック制御部332#iと

異なる。

【0352】

メモリ制御部 418 # i は、強制フラッシュバック制御部 416 # i よりフラッシュバック完了通知を受けると、メモリ部 86 # i の特定アドレス領域にフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線 116 # i をアサートする点で、図 47 中のメモリ制御部 84 # i と異なる。

【0353】

以下、図 60 の動作説明をする。0 系システム 410 # 0 が ACT 系、1 系システム 410 # 1 が SBY 系であるとし、ウォッチドックタイマ 94 # 0 がオーバフローしたとする。

【0354】

(B1) システム制御部 326 # 0 は、第 17 実施形態の (B1) と同様に動作する。

【0355】

(A2) MPU 部 22 # 0 は、割り込み通知線 42 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A2) と同様に動作する。

【0356】

(C) キャッシュメモリ制御部 412 # 0 は、第 17 実施形態の (C) と同様に動作して、フラッシュバックを行う。フラッシュバックが完了すると、フラッシュバック完了通知コマンドを強制フラッシュバック線 328 # 0 に出力する。

【0357】

(D) メインメモリ 414 # 0 中の強制フラッシュバック制御部 416 # 0 は、第 17 実施形態の (D) と同様に動作して、フラッシュバックデータをメモリ部 86 # 0 にライトする。強制フラッシュバック制御部 416 # i は、強制フラッシュバック線 328 # i よりフラッシュバック完了通知コマンドを受信すると、メモリ制御部 418 # i にフラッシュバック完了通知をする。

【0358】

メモリ制御部 418 # i は、強制フラッシュバック制御部 416 # i よりフラ

ッシュバック完了通知を受けると、メモリ部 8 6 # i の特定アドレス領域にフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線 1 1 6 # i をアサートする。

【0 3 5 9】

(B 2) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 2) と同様に動作する。

【0 3 6 0】

(B 3) S B Y 系のシステム制御部 3 2 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 3 6 1】

(A 3) M P U 部 2 2 # 1 は、第 1 実施形態の (A 3) と同様に動作する。

【0 3 6 2】

以上説明した第 2 5 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 3 6 3】

第 2 6 実施形態

図 6 2 は、本発明の第 2 6 実施形態による二重化システムの構成図であり、図 6 0 中の構成要素と実質的に同一の構成要素には同一の符号を付している。本実施形態は、図 1 7 の第 4 実施形態と図 6 0 の第 2 5 実施形態を組み合わせたものである。

【0 3 6 4】

図 6 3 は、図 6 2 中のメインメモリ 4 3 2 # i の構成図であり、図 1 8 又は図 6 1 中の構成要素と実質的に同一の構成要素には同一の符号を付している。メインメモリ 4 3 2 # i は、図 1 8 のメインメモリ 1 4 2 # i と図 6 1 のメインメモリ 4 1 4 # i を組み合わせたものである。

【0 3 6 5】

以下、図 6 2 の動作説明をする。0 系システム 4 3 0 # 0 が A C T 系、1 系システム 4 3 0 # 1 が S B Y 系であるとし、ウォッチドックタイマ 9 4 # 0 がオーバフローしたとする。

【0 3 6 6】

(B 1) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 1) と同様に動作する。

【0 3 6 7】

(A 2) MPU部 1 2 1 # 0 は、割り込み通知線 4 2 # 0 がアサートされると、割り込みが発生して第 1 実施形態の (A 2) と同様に動作する。

【0 3 6 8】

(C) キャッシュメモリ制御部 4 1 2 # 0 は、第 2 5 実施形態の (C) と同様に動作する。

【0 3 6 9】

(D) 強制フラッシュバック制御部 4 1 6 # 0 は、第 2 5 実施形態の (D) と同様に動作する。メモリ制御部 4 3 4 # 0 は、強制フラッシュバック制御部 4 3 4 # 0 よりフラッシュバック完了通知を受けると、フラッシュバック状態レジスタ 1 3 2 # 0 にフラッシュバック済みを示す情報をライトすると共にフラッシュバック状態通知線 1 1 6 # 0 をアサートする。

【0 3 7 0】

(B 2) システム制御部 3 2 6 # 0 は、第 1 7 実施形態の (B 2) と同様に動作する。

【0 3 7 1】

(B 3) SBY系のシステム制御部 3 2 6 # 1 は、第 1 実施形態の (B 3) と同様に動作する。

【0 3 7 2】

(A 3) MPU部 1 2 1 # 1 は、第 3 実施形態の (A 3) と同様に動作する。

【0 3 7 3】

以上説明した第 2 6 実施形態によれば、第 1 実施形態と同様の効果がある。

【0 3 7 4】

【発明の効果】

以上説明したように、本発明によれば、より確実にキャッシュメモリのメインメモリへのライトバックが行われ、系切替え後に完全な情報の引継ぎが可能とな

りサービスの継続がなされるので、サービスの向上が期待できる。

【図面の簡単な説明】

【図 1】

本発明の原理図である。

【図 2】

本発明の第 1 実施形態による二重化システム構成図である。

【図 3】

図 2 中のキャッシュメモリ制御部の構成図である。

【図 4】

図 2 中のメインメモリの構成図である。

【図 5】

図 2 中のシステム制御部の構成図である。

【図 6】

図 2 中のシステム制御部の動作フローチャートである。

【図 7】

図 2 中の MPU 部の動作フローチャートである。

【図 8】

図 2 中のキャッシュメモリ制御部の動作フローチャートである。

【図 9】

図 2 中のメインメモリの動作フローチャートである。

【図 1 0】

図 2 中の MPU 部の動作フローチャートである。

【図 1 1】

本発明の第 2 実施形態による二重化システム構成図である。

【図 1 2】

図 1 1 中のメインメモリの構成図である。

【図 1 3】

図 1 1 中のメインメモリの動作フローチャートである。

【図 1 4】

本発明の第 3 実施形態による二重化システム構成図である。

【図 1 5】

図 1 4 中のメインメモリの構成図である。

【図 1 6】

図 1 4 中のメインメモリの動作フローチャートである。

【図 1 7】

本発明の第 4 実施形態による二重化システム構成図である。

【図 1 8】

図 1 7 中のメインメモリの構成図である。

【図 1 9】

図 1 7 中のメインメモリの動作フローチャートである。

【図 2 0】

本発明の第 5 実施形態による二重化システム構成図である。

【図 2 1】

図 2 0 中のキャッシュメモリ制御部の構成図である。

【図 2 2】

図 2 0 中のメインメモリの構成図である。

【図 2 3】

図 2 0 中のシステム制御部の構成図である。

【図 2 4】

図 2 0 中のシステム制御部の動作フローチャートである。

【図 2 5】

図 2 0 中のキャッシュメモリ制御部の動作フローチャートである。

【図 2 6】

図 2 0 中のメインメモリの動作フローチャートである。

【図 2 7】

本発明の第 6 実施形態による二重化システム構成図である。

【図 2 8】

図 2 7 中のメインメモリの構成図である。

【図 2 9】

図 2 7 中のメインメモリの動作フローチャートである。

【図 3 0】

本発明の第 7 実施形態による二重化システム構成図である。

【図 3 1】

図 3 0 中のメインメモリの構成図である。

【図 3 2】

本発明の第 8 実施形態による二重化システム構成図である。

【図 3 3】

図 3 2 中のメインメモリの構成図である。

【図 3 4】

本発明の第 9 実施形態による二重化システム構成図である。

【図 3 5】

図 3 4 中のシステム制御部の構成図である。

【図 3 6】

図 3 4 中のアイソレート部の構成図である。

【図 3 7】

図 3 4 中のシステム制御部の動作フローチャートである。

【図 3 8】

本発明の第 1 0 実施形態による二重化システム構成図である。

【図 3 9】

本発明の第 1 1 実施形態による二重化システム構成図である。

【図 4 0】

本発明の第 1 2 実施形態による二重化システム構成図である。

【図 4 1】

本発明の第 1 3 実施形態による二重化システム構成図である。

【図 4 2】

本発明の第 1 4 実施形態による二重化システム構成図である。

【図 4 3】

本発明の第 1 5 実施形態による二重化システム構成図である。

【図 4 4】

本発明の第 1 6 実施形態による二重化システム構成図である。

【図 4 5】

本発明の第 1 7 実施形態による二重化システム構成図である。

【図 4 6】

図 4 5 中のキャッシュメモリ制御部の構成図である。

【図 4 7】

図 4 5 中のメインメモリの構成図である。

【図 4 8】

本発明の第 1 8 実施形態による二重化システム構成図である。

【図 4 9】

図 4 8 中のメインメモリの構成図である。

【図 5 0】

本発明の第 1 9 実施形態による二重化システム構成図である。

【図 5 1】

図 5 0 中のメインメモリの構成図である。

【図 5 2】

本発明の第 2 0 実施形態による二重化システム構成図である。

【図 5 3】

図 5 2 中のメインメモリの構成図である。

【図 5 4】

本発明の第 2 1 実施形態による二重化システム構成図である。

【図 5 5】

図 5 4 中のメインメモリの構成図である。

【図 5 6】

本発明の第 2 2 実施形態による二重化システム構成図である。

【図 5 7】

図 5 6 中のメインメモリの構成図である。

【図 5 8】

本発明の第 2 3 実施形態による二重化システム構成図である。

【図 5 9】

本発明の第 2 4 実施形態による二重化システム構成図である。

【図 6 0】

本発明の第 2 5 実施形態による二重化システム構成図である。

【図 6 1】

図 6 0 中のメインメモリの構成図である。

【図 6 2】

本発明の第 2 6 実施形態による二重化システム構成図である。

【図 6 3】

図 6 2 中のメインメモリの構成図である。

【符号の説明】

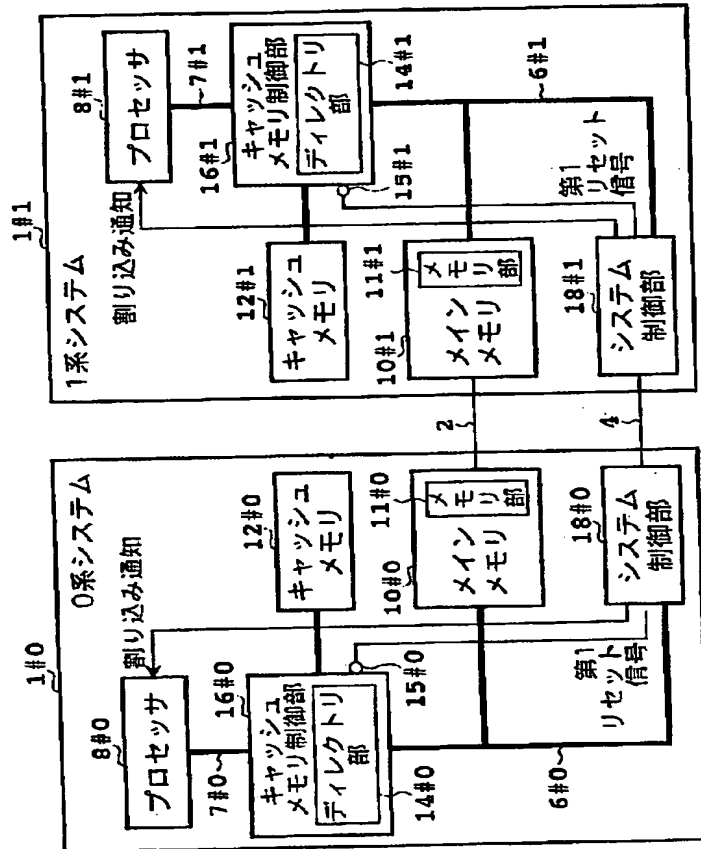
- 1 # i (i = 0, 1) i 系システム
- 2 メモリ交絡線
- 4 システム交絡線
- 6 # i (i = 0, 1) 第 1 バス
- 7 # i (i = 0, 1) 第 2 バス
- 8 # i (i = 0, 1) プロセッサ
- 1 0 # i (i = 0, 1) メインメモリ
- 1 2 # i (i = 0, 1) キャッシュメモリ
- 1 5 # i (i = 0, 1) 第 1 リセット端子
- 1 6 # i (i = 0, 1) キャッシュメモリ制御部
- 1 8 # i (i = 0, 1) システム制御部

【書類名】

図面

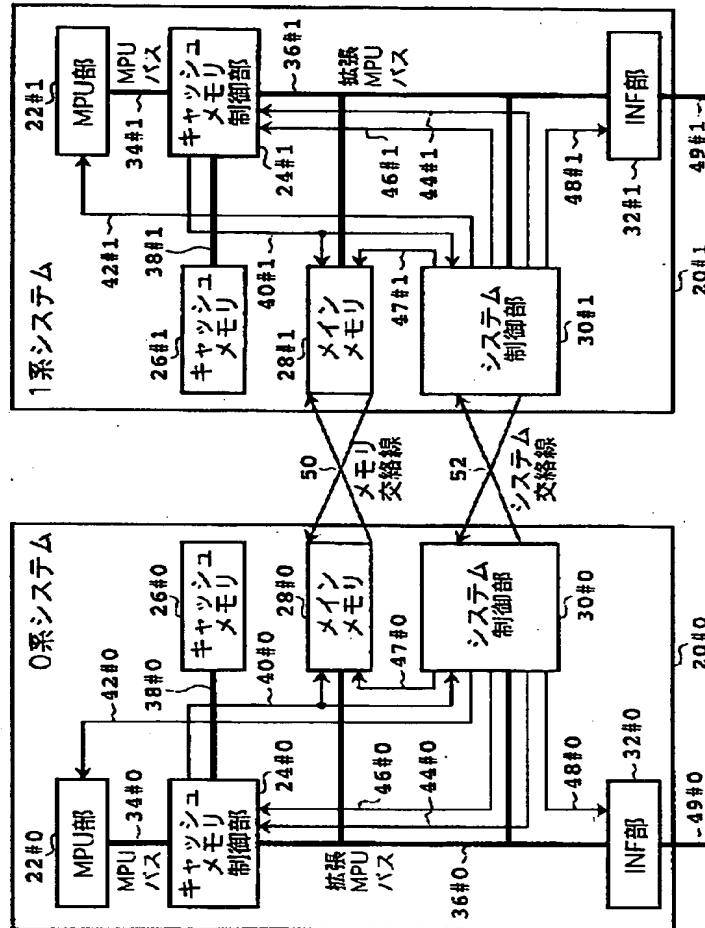
【図 1】

本発明の原理図



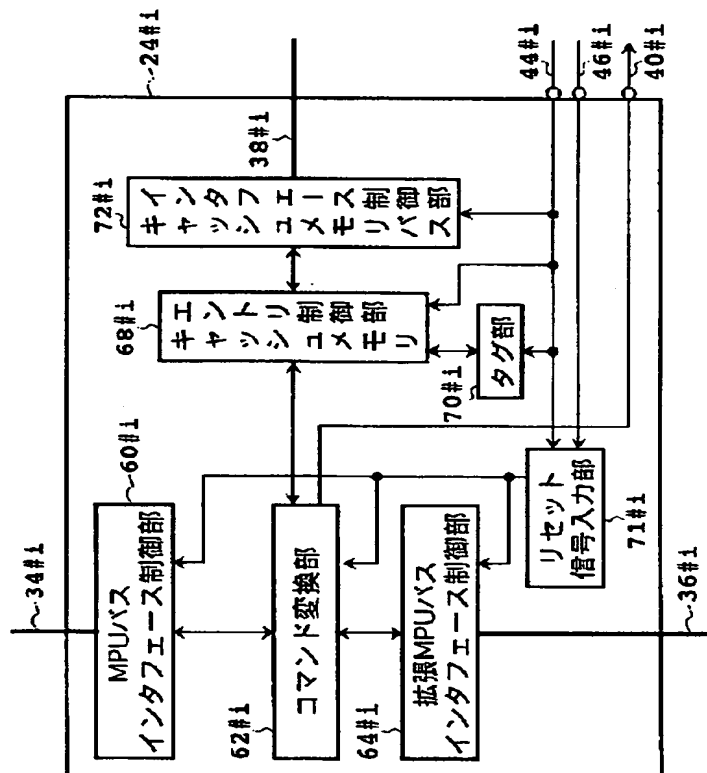
【図 2】

本発明の第 1 実施形態による二重化システム



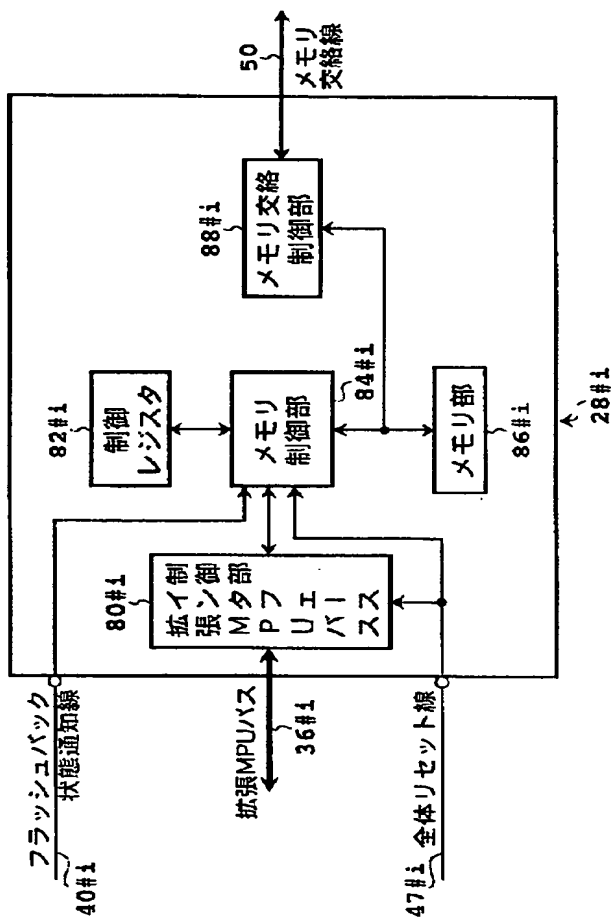
【図 3】

図 2 中のキャッシュメモリ制御部



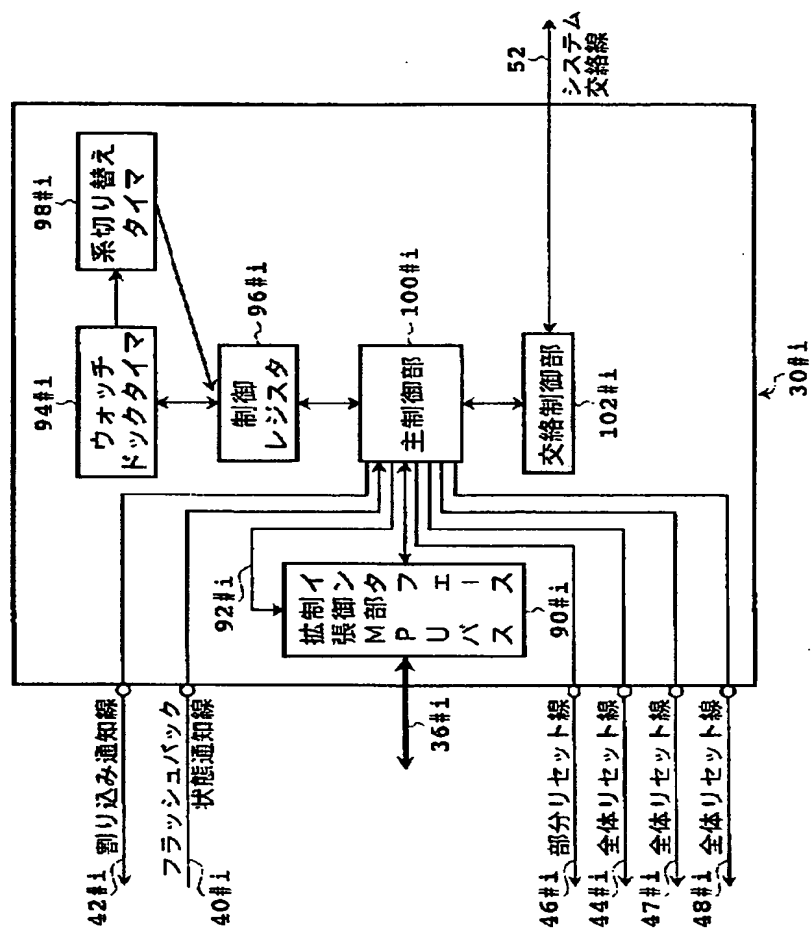
【図 4】

図 2 中のメインメモリ



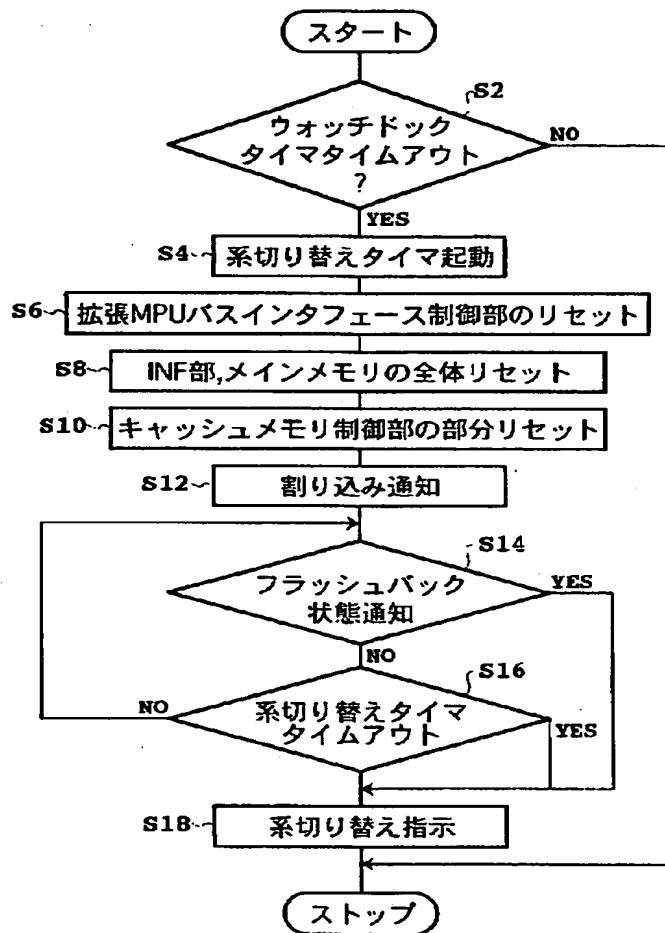
【図 5】

図 2 中のシステム制御部



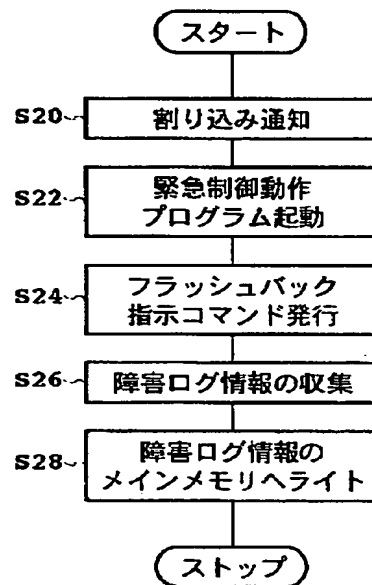
【図 6】

図 2 中のシステム制御部の動作フローチャート



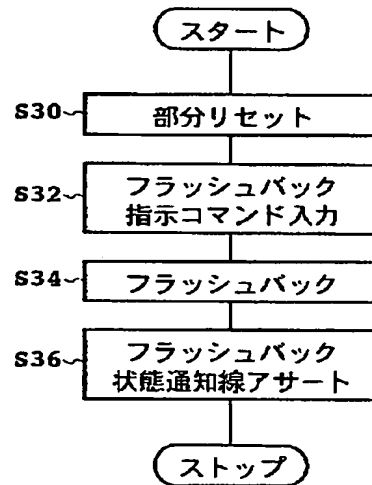
【図 7】

図 2 中のMPU部の動作フローチャート



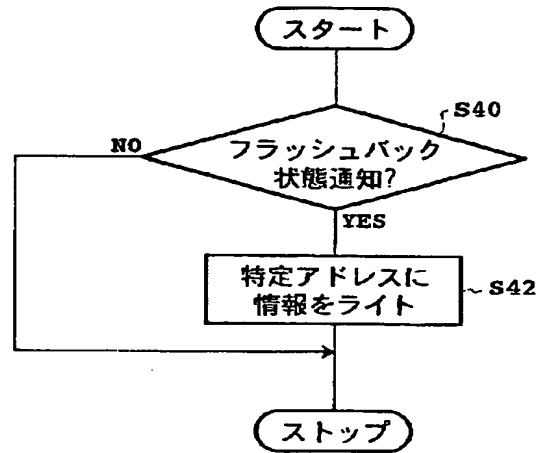
【図 8】

図 2 中のキャッシュメモリ制御部の動作フローチャート



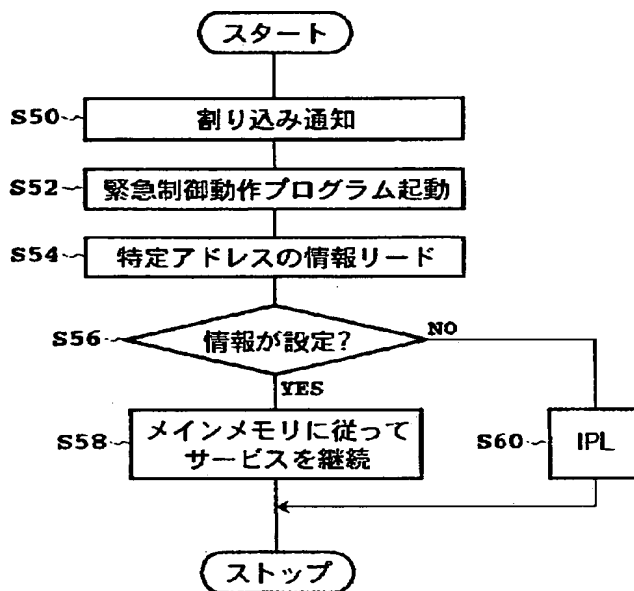
【図 9】

図 2 中のメインメモリの動作フローチャート



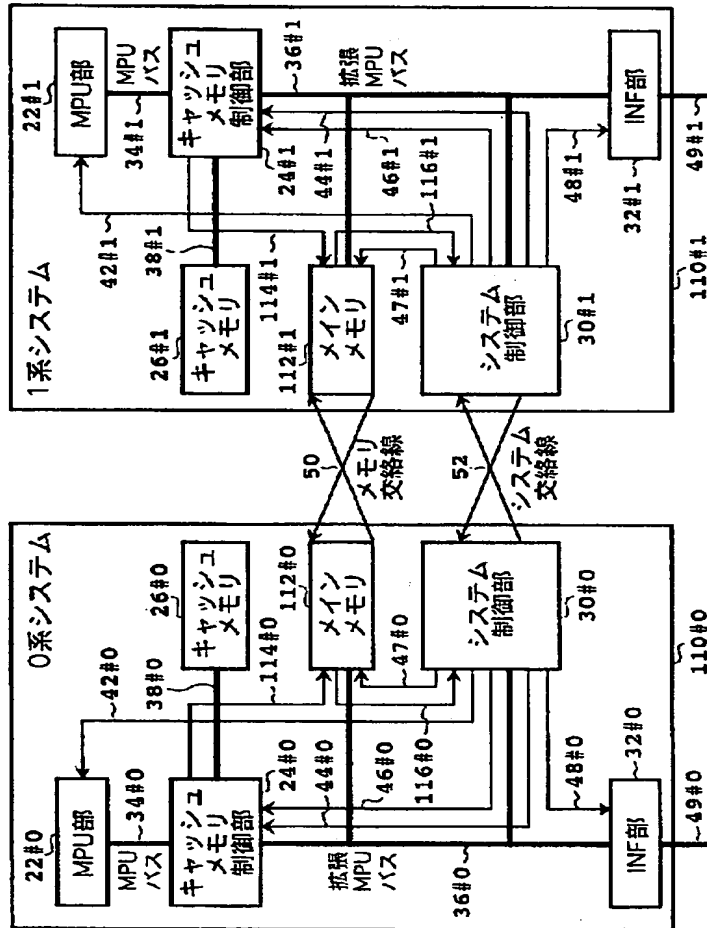
【図 1 0】

図 2 中のMPU部の動作フローチャート



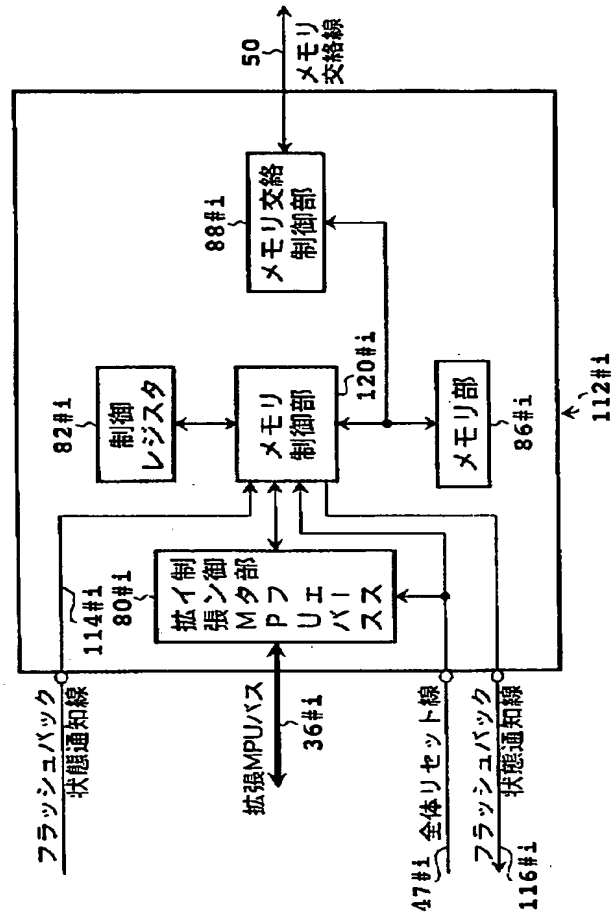
【図 11】

本発明の第2実施形態による二重化システム



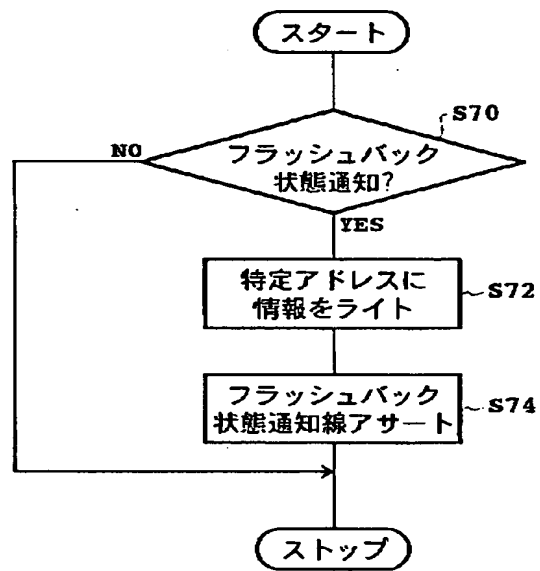
【図 1 2】

図 1 1 中のメインメモリ



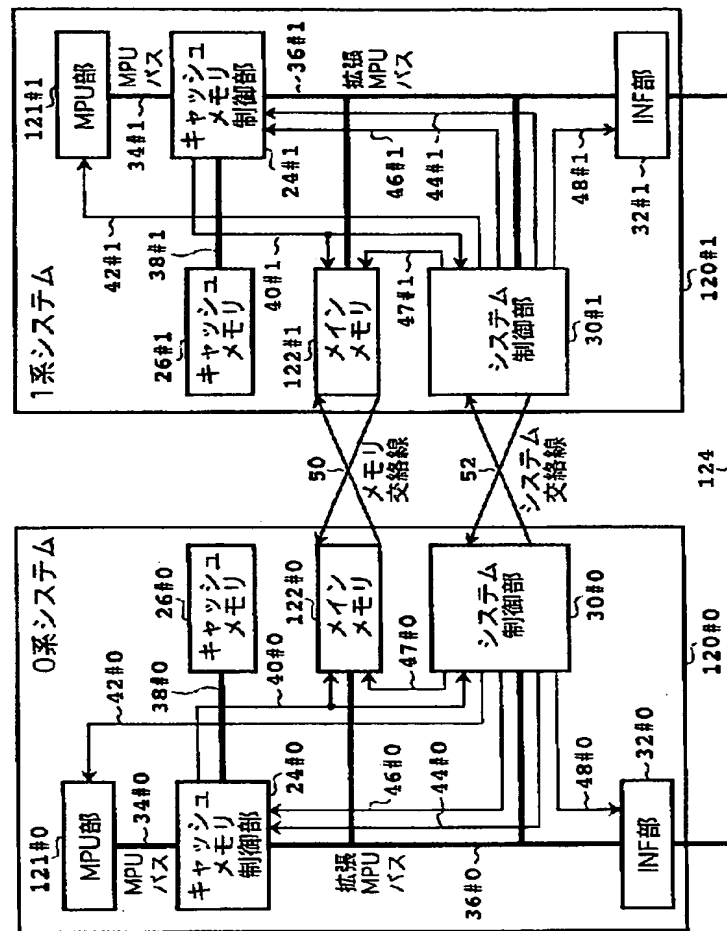
【図 1 3】

図 1 1 中のメインメモリの動作フローチャート



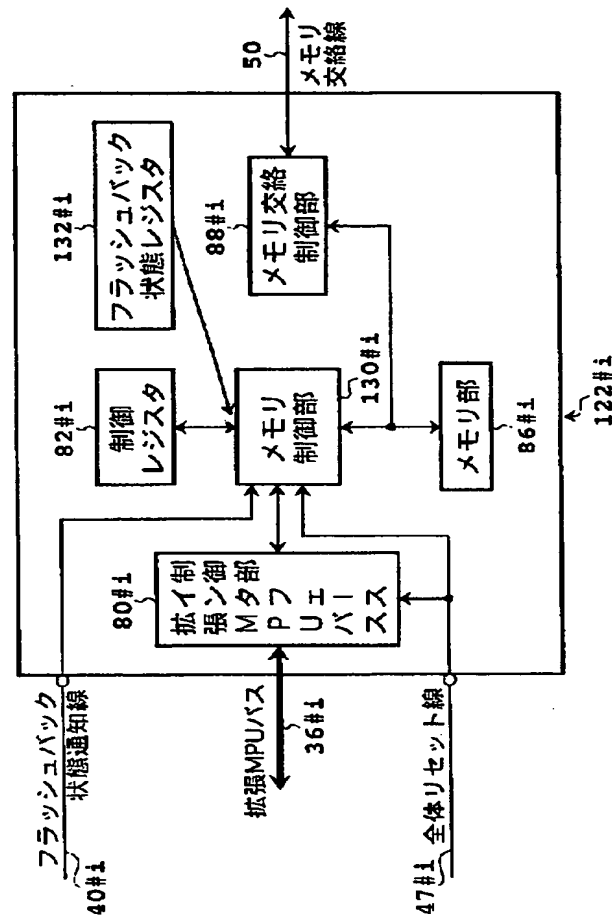
【図 1 4】

本発明の第 3 実施形態による二重化システム



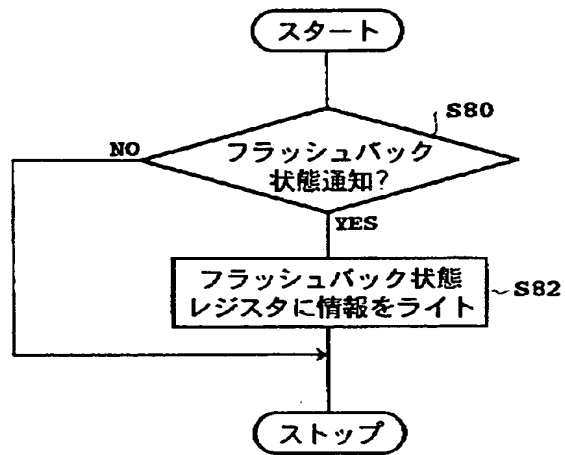
【図 1 5】

図 1 4 中のメインメモリ



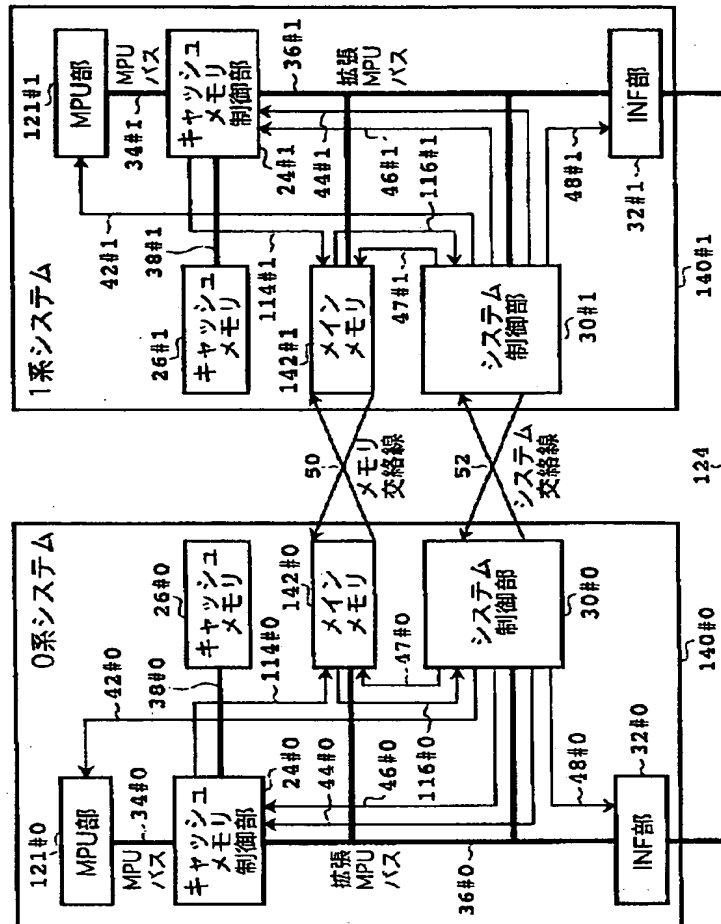
【図 1 6】

図14中のメインメモリの動作フローチャート



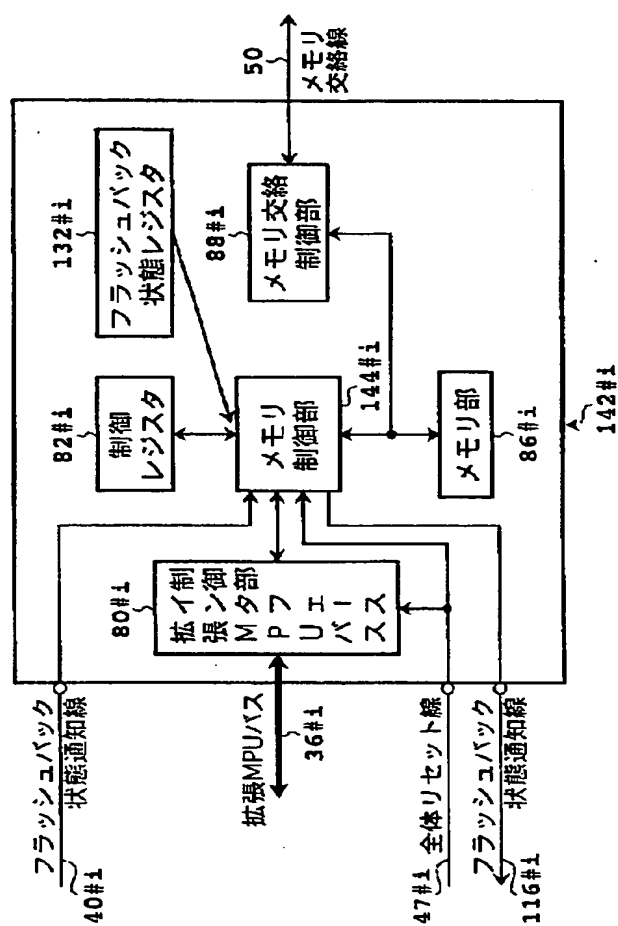
【図 1 7】

本発明の第 4 実施形態による二重化システム



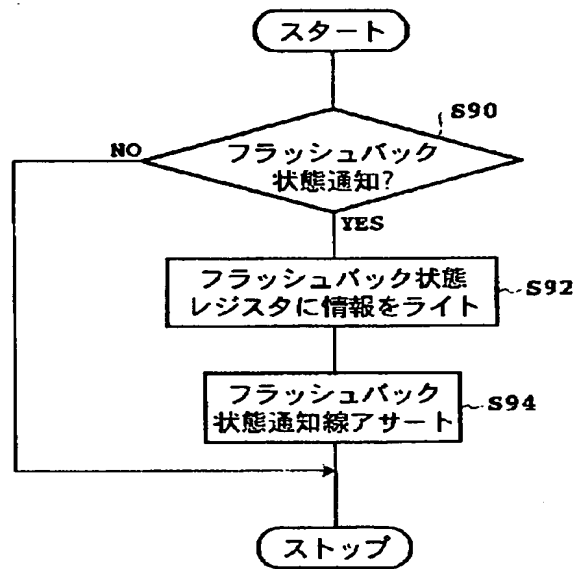
【图 18】

図17中のメインメモリ



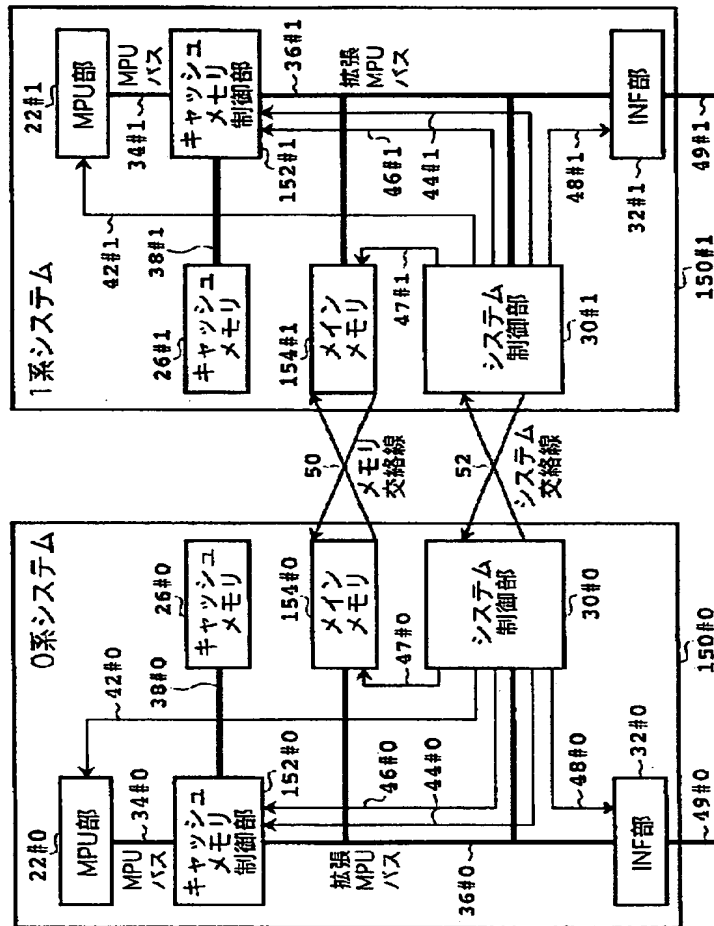
【図 1 9】

図 1 7 中のメインメモリの動作フローチャート



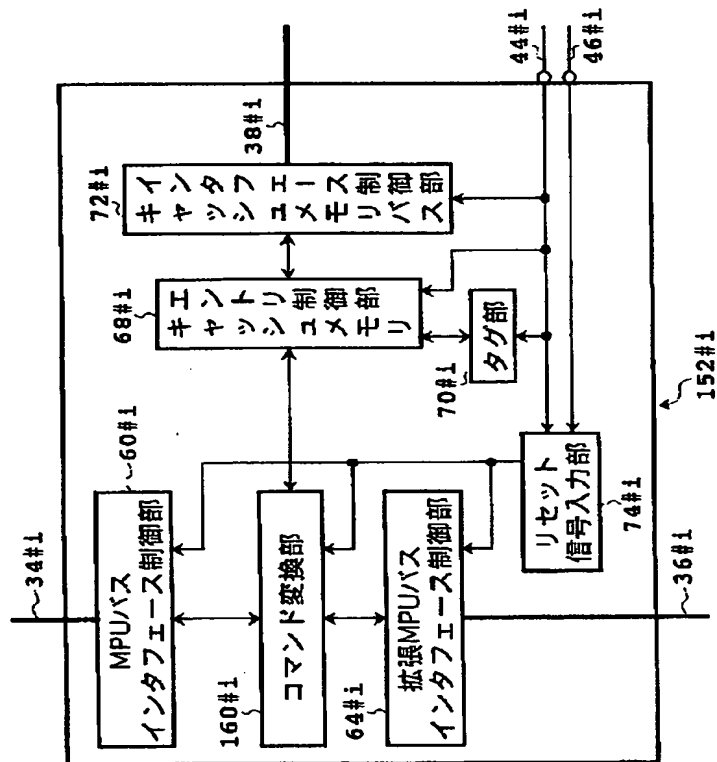
【図 2 0】

本発明の第 5 実施形態による二重化システム



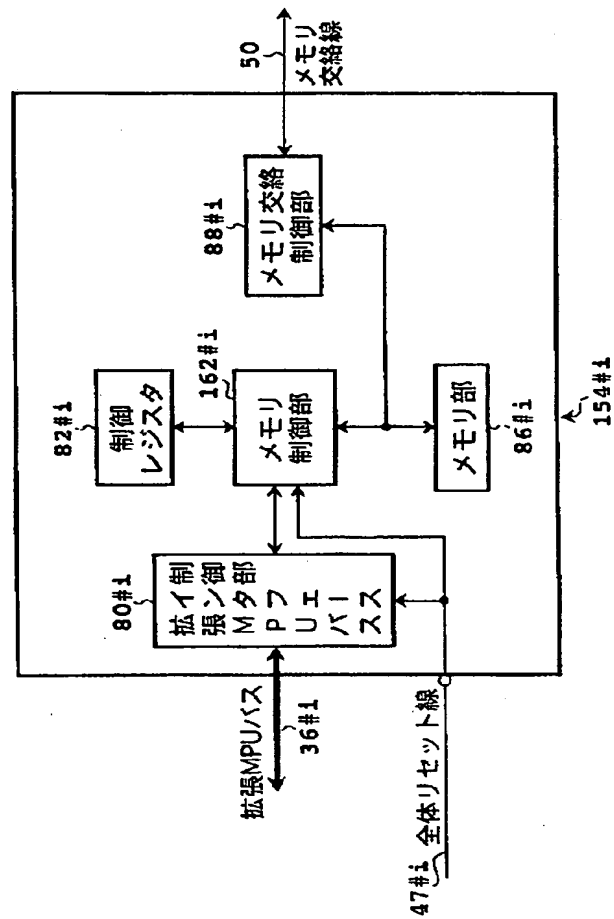
【図 2 1】

図 20 中のキャッシュメモリ制御部



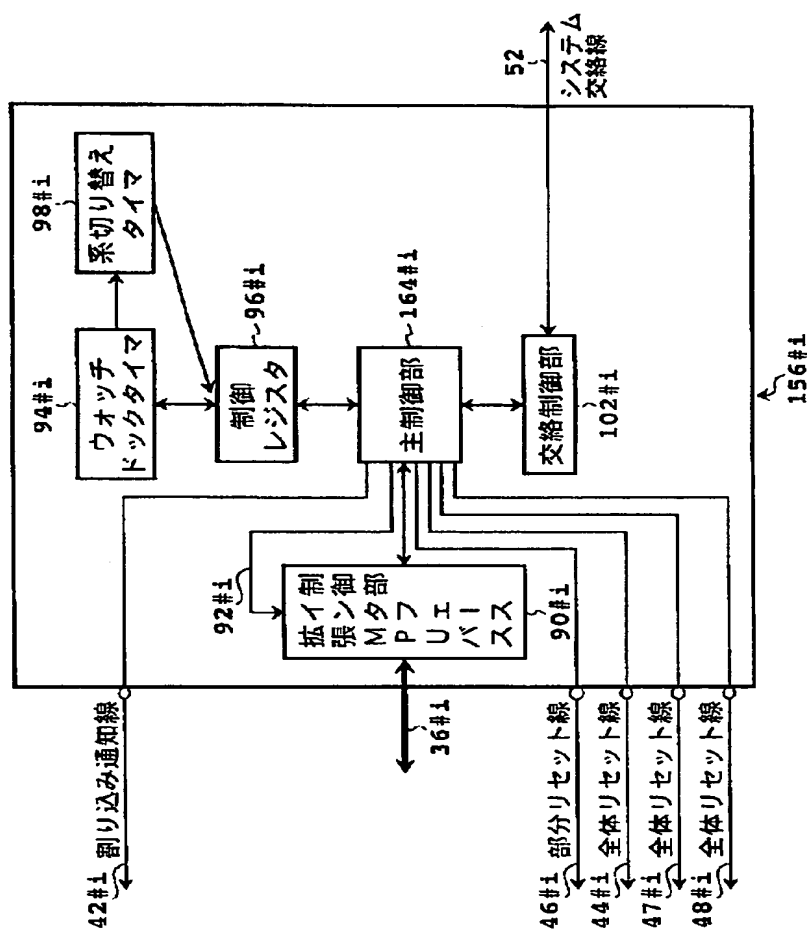
【图 2 2】

図20中のメインメモリ



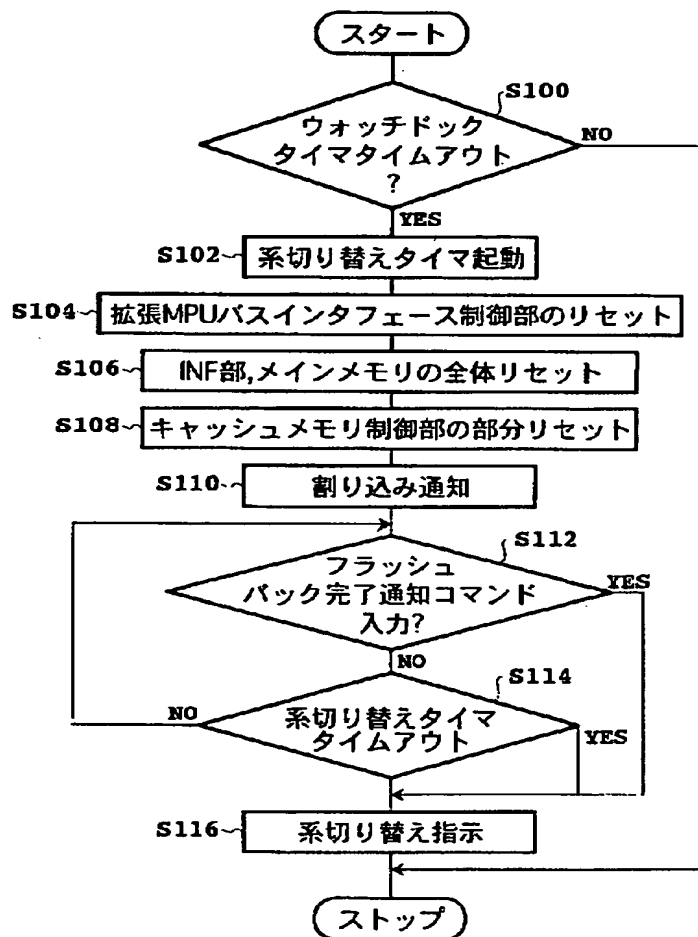
【図 2 3】

図 2 0 中のシステム制御部



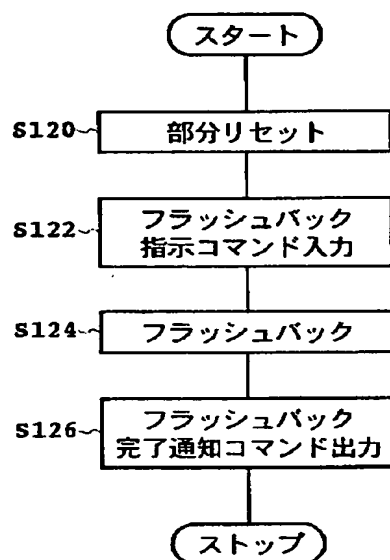
【図 2 4】

図 2 0 中のシステム制御部の動作フローチャート



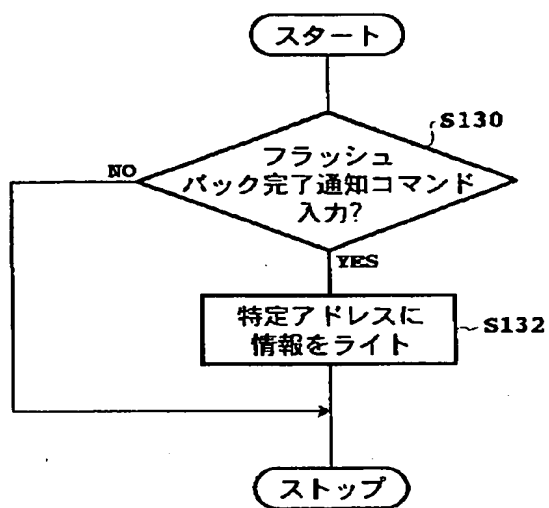
【図 2 5】

図20中のキャッシュメモリ制御部の動作フローチャート



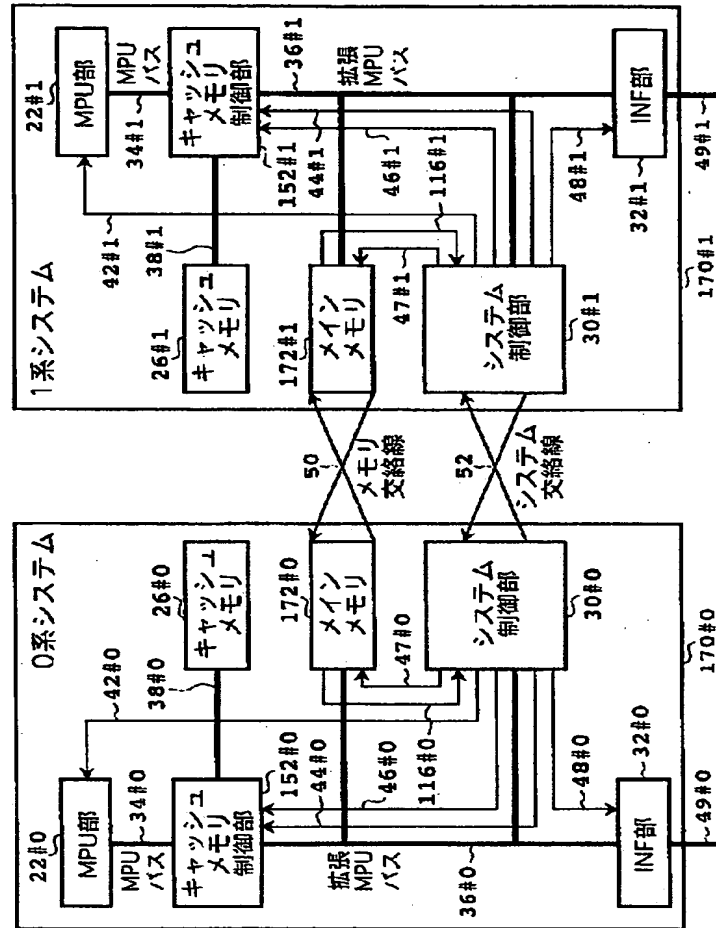
【図 2 6】

図 2 0 中のメインメモリの動作フローチャート



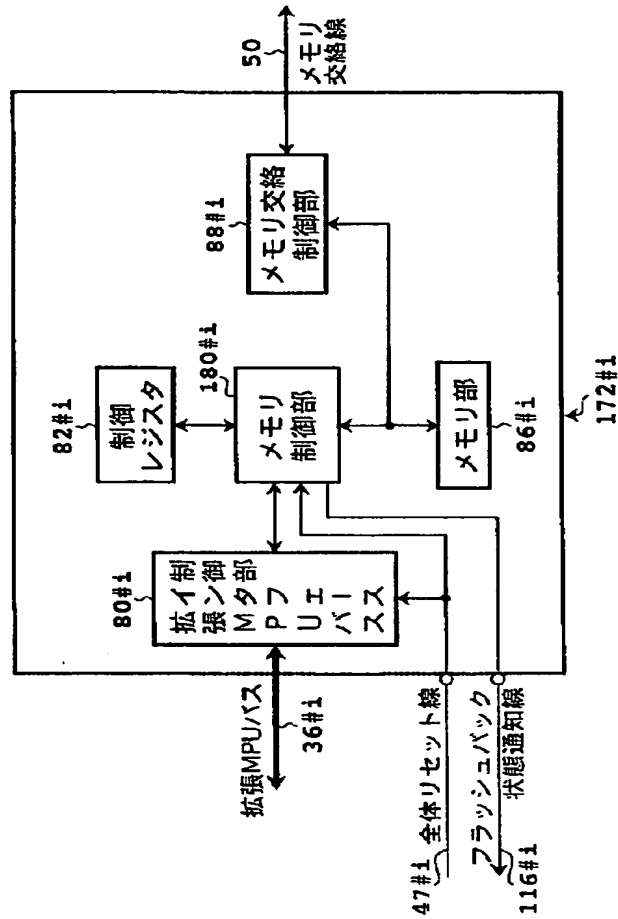
【図 2 7】

本発明の第 6 実施形態による二重化システム



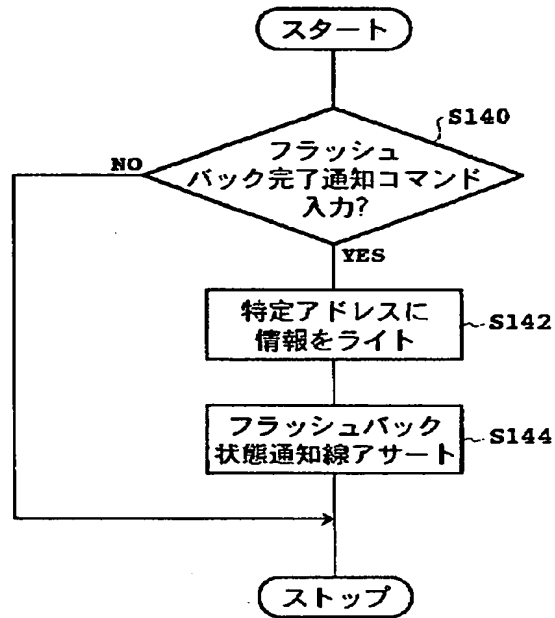
【図 2 8】

図 2 7 中のメインメモリ



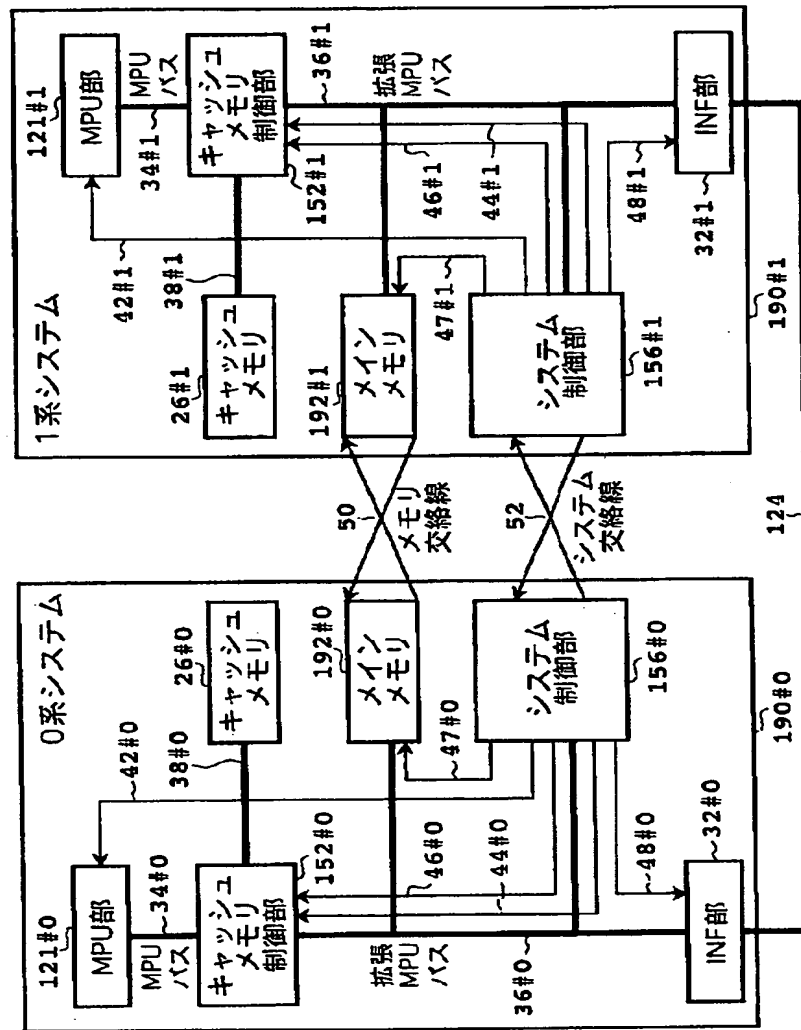
【図 2 9】

図 2 7 中のメインメモリの動作フローチャート



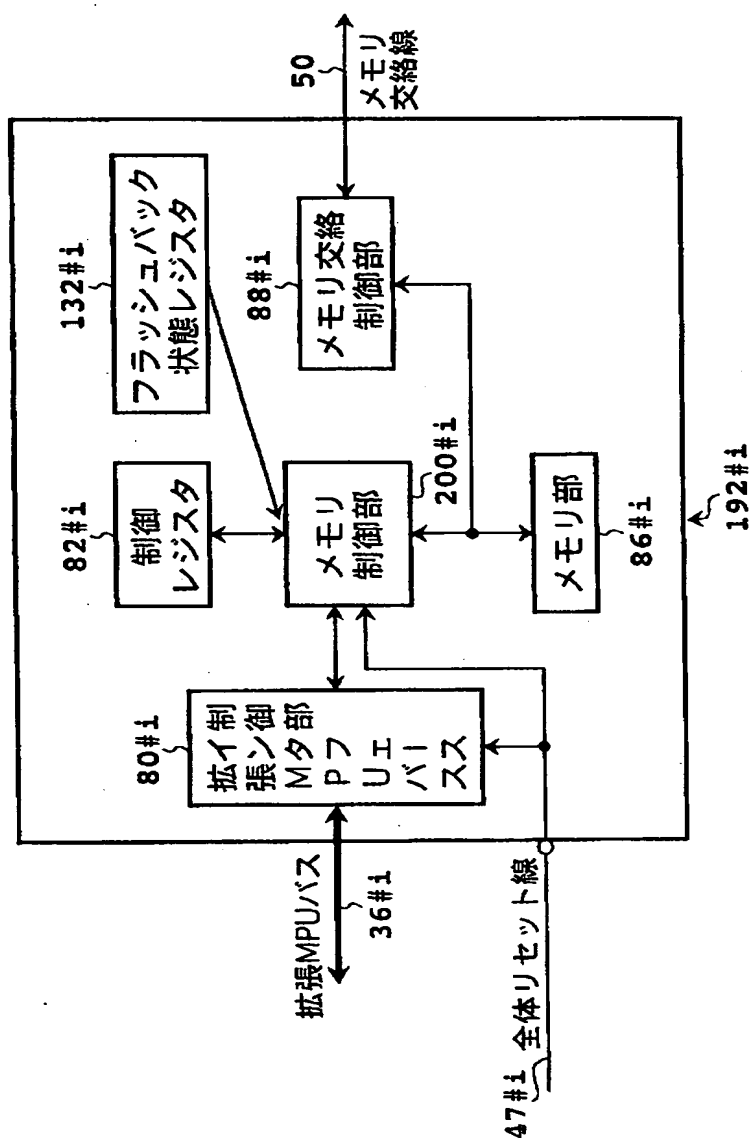
【図 3 0】

本発明の第 7 実施形態による二重化システム



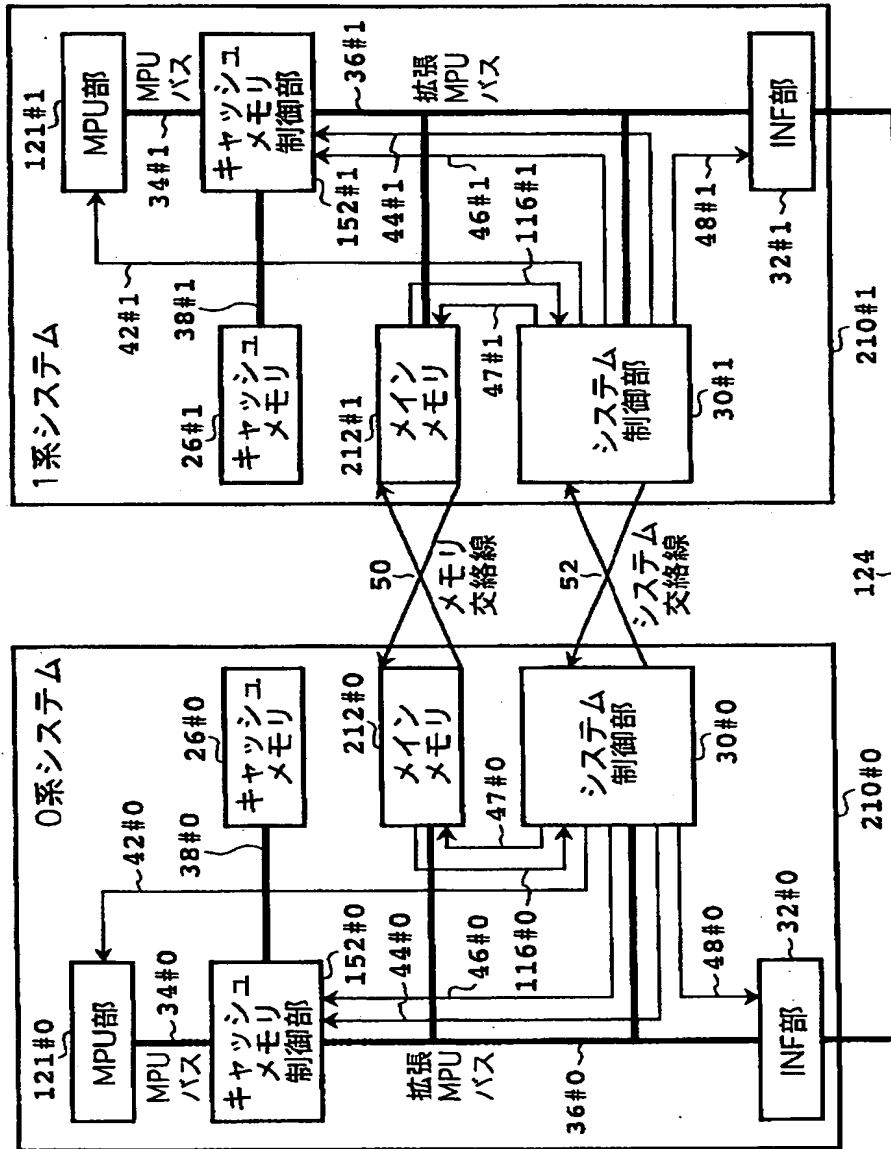
【図 3 1】

図30中のメインメモリ



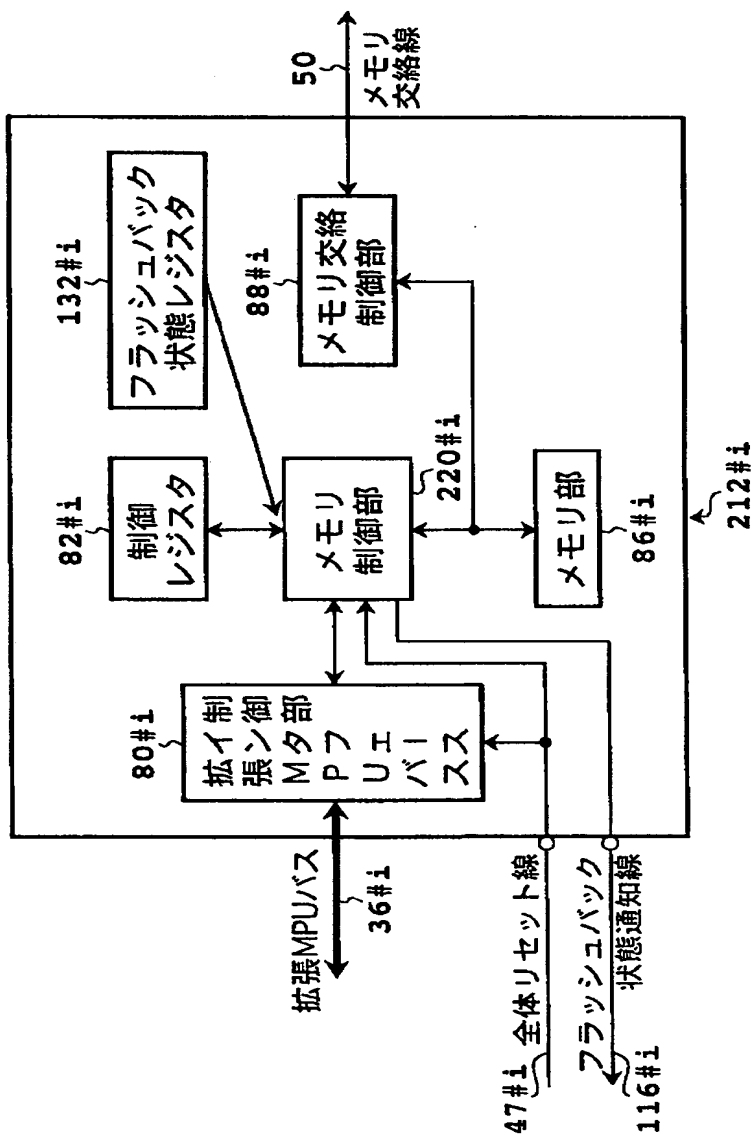
【図 3 2】

本発明の第 8 実施形態による二重化システム



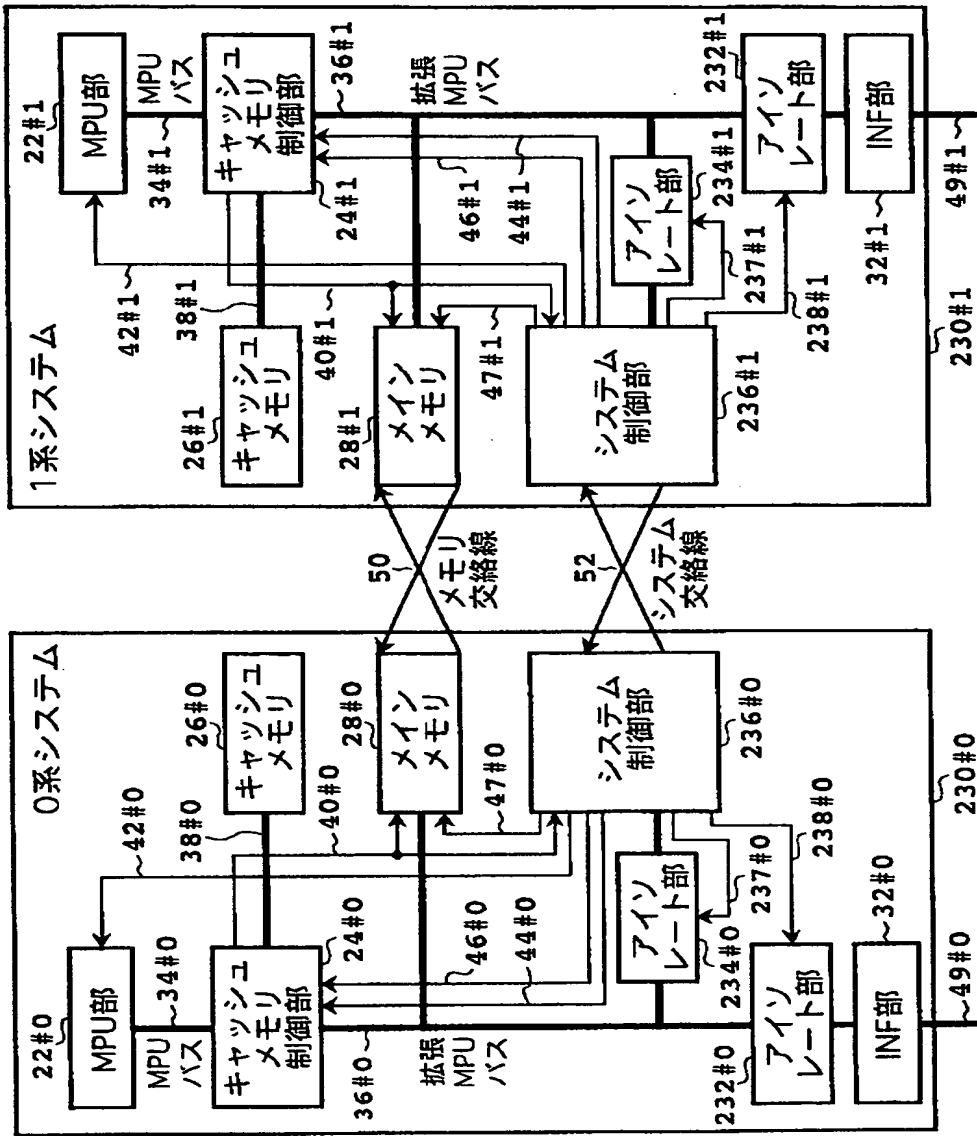
【図 3 3】

図 3 2 中のメインメモリ



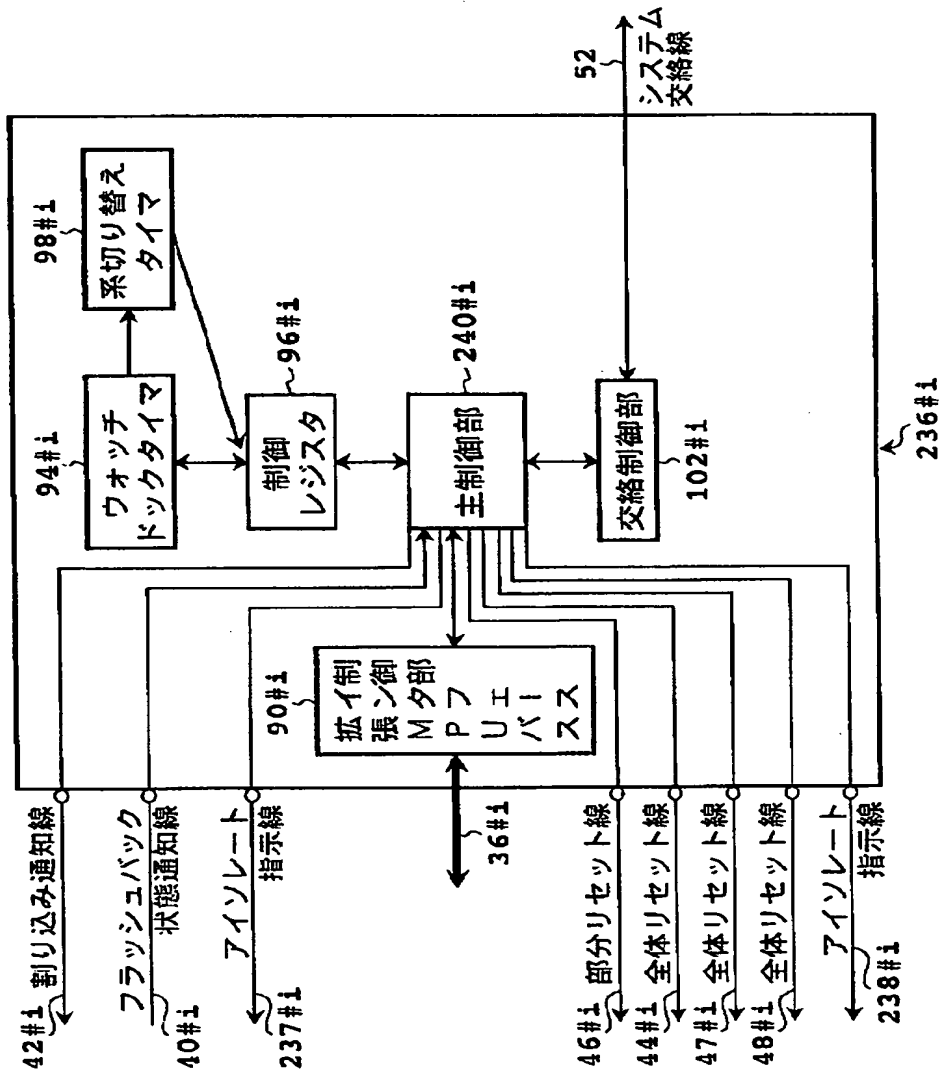
【図 3 4】

本発明の第 9 実施形態による二重化システム



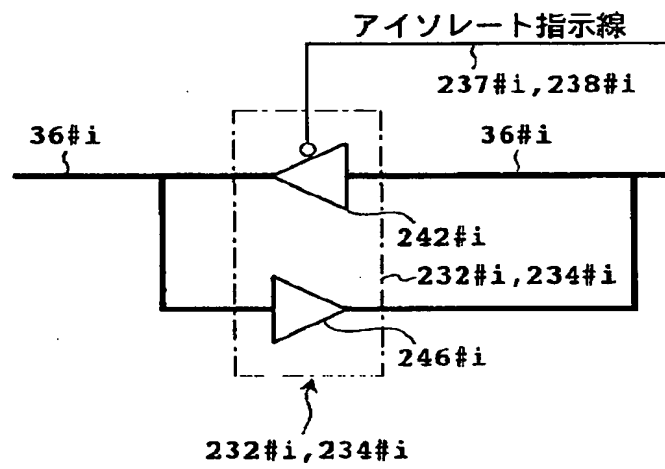
【図 3 5】

図 3 4 中のシステム制御部



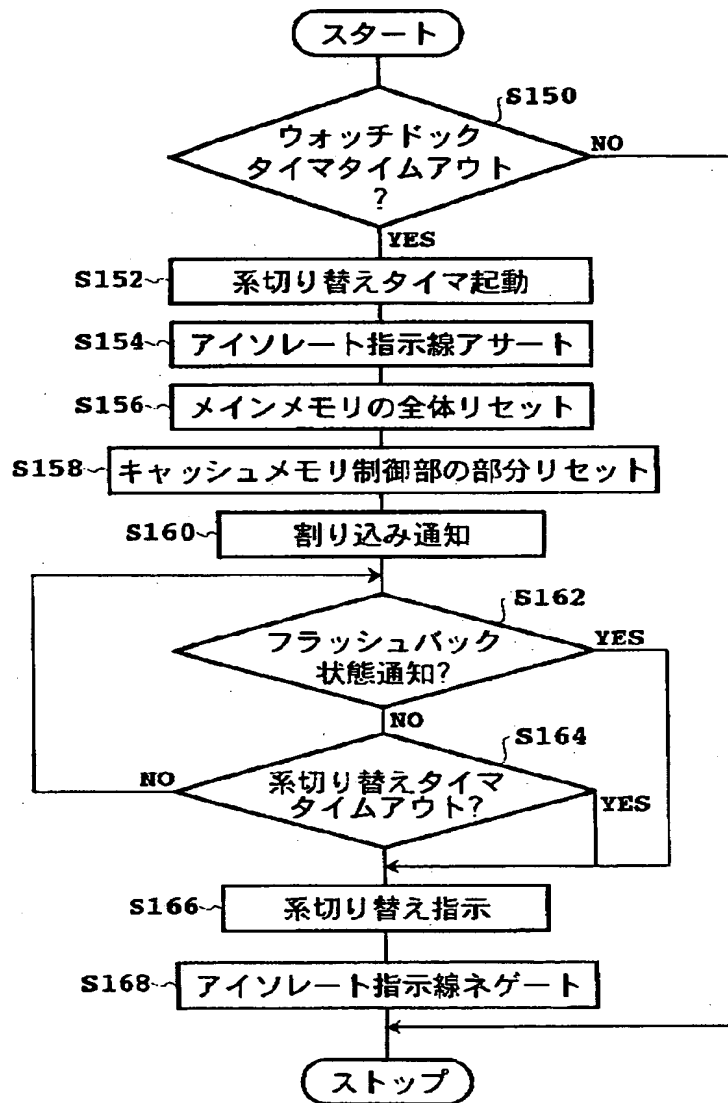
【図 3 6】

図 3 4 中のアイソレート部



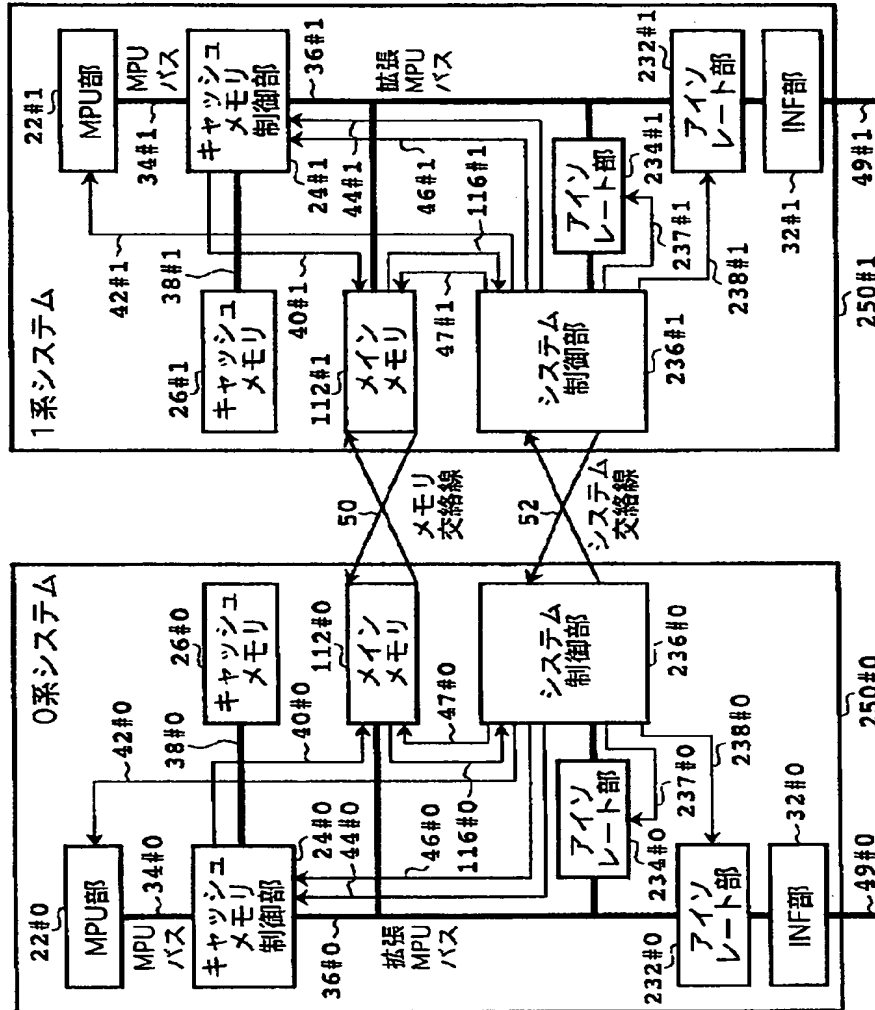
【図 37】

図 34 中のシステム制御部の動作フローチャート



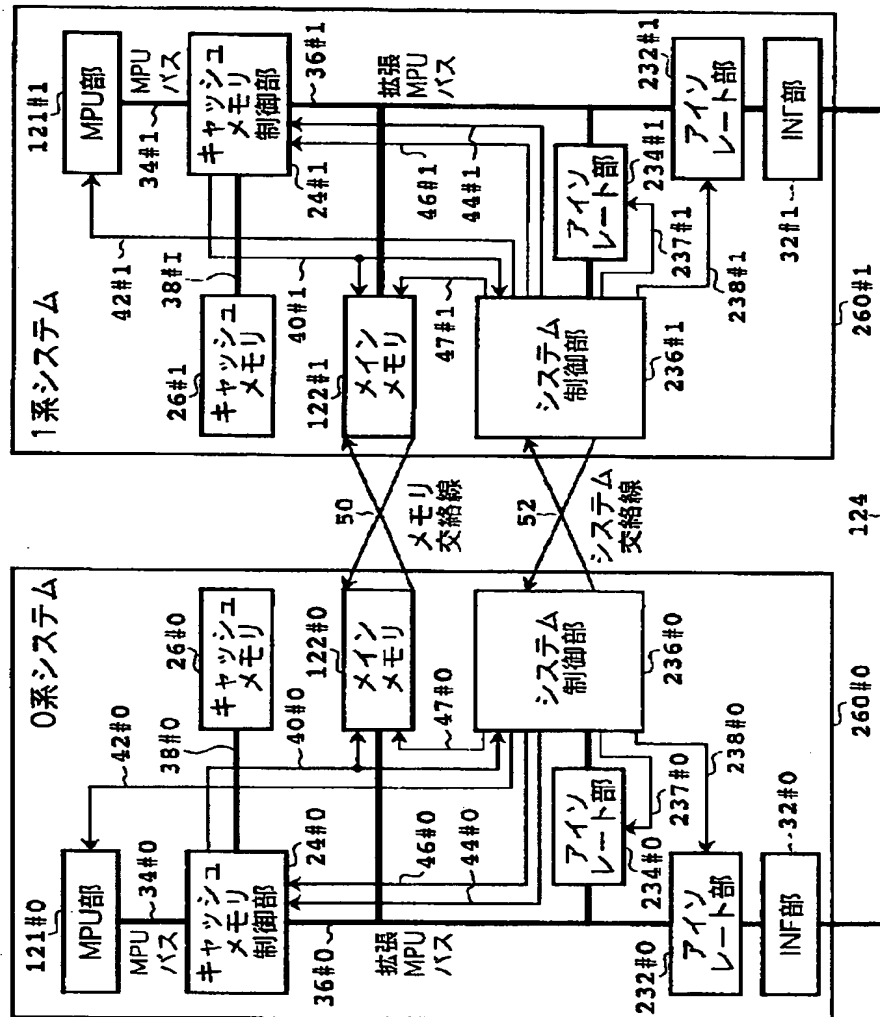
【図 3 8】

本発明の第 1 0 実施形態による二重化システム



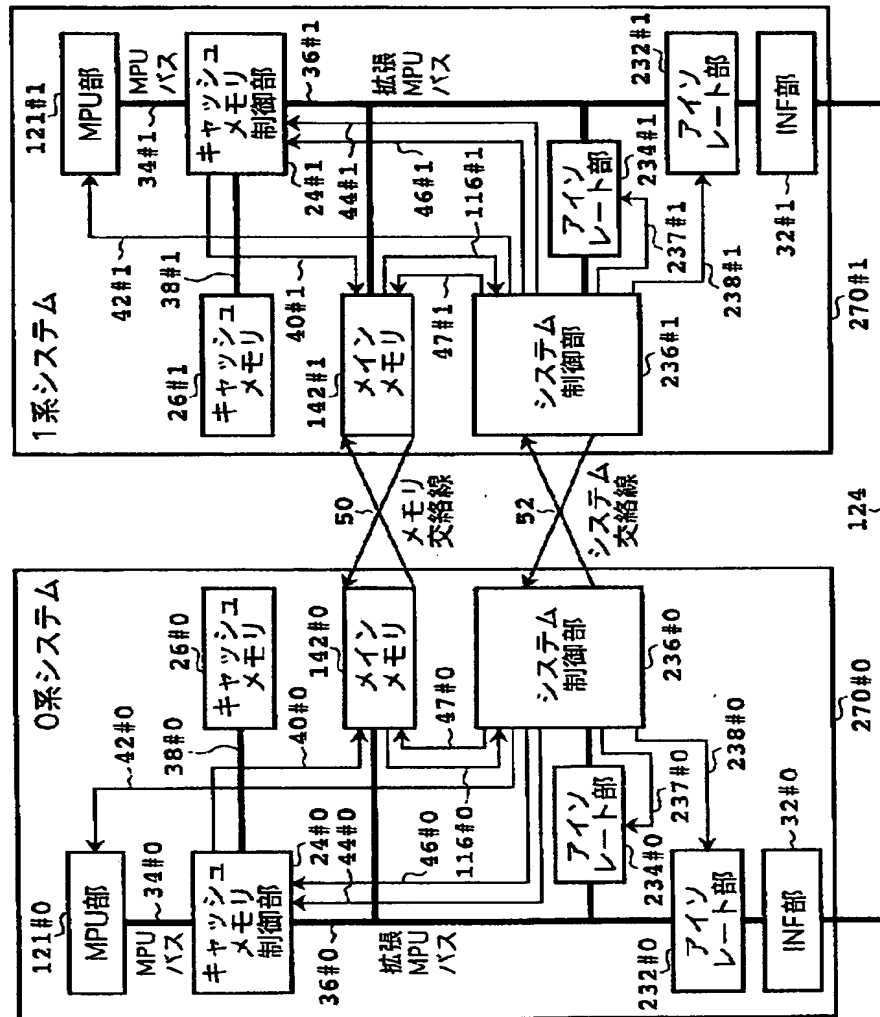
【図 3 9】

本発明の第 1 1 実施形態による二重化システム



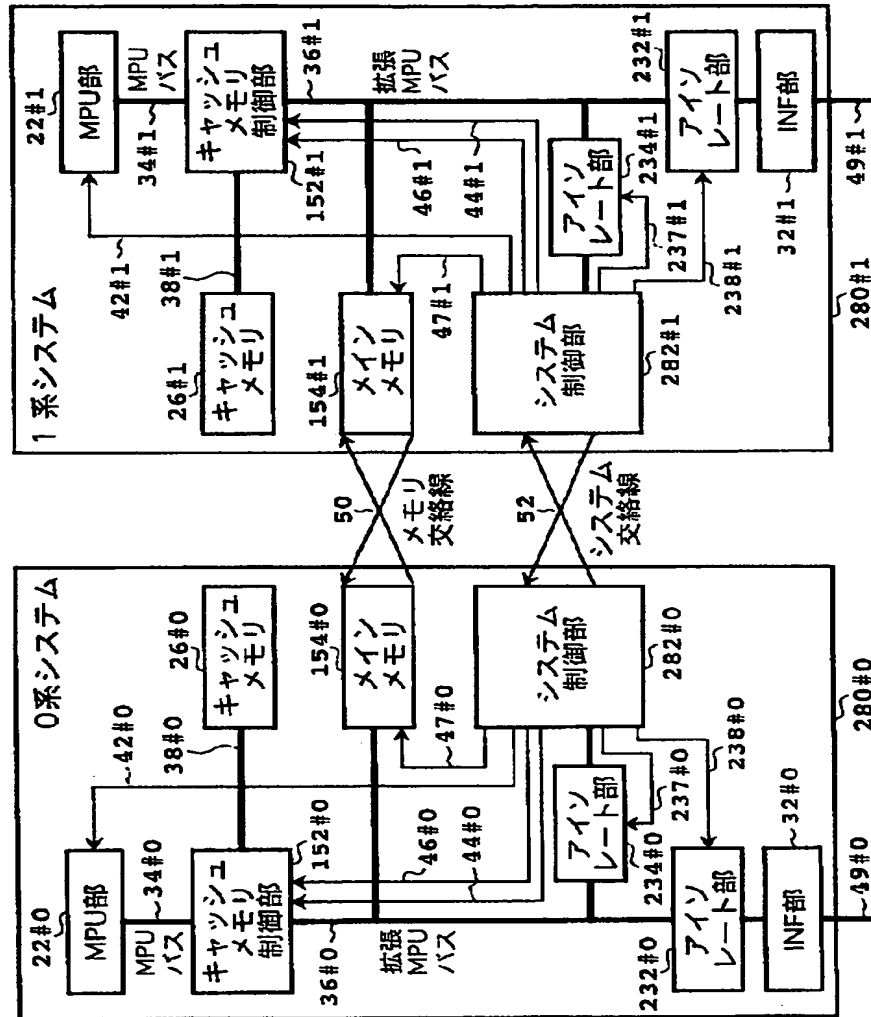
【図 4 0】

本発明の第 1 2 実施形態による二重化システム



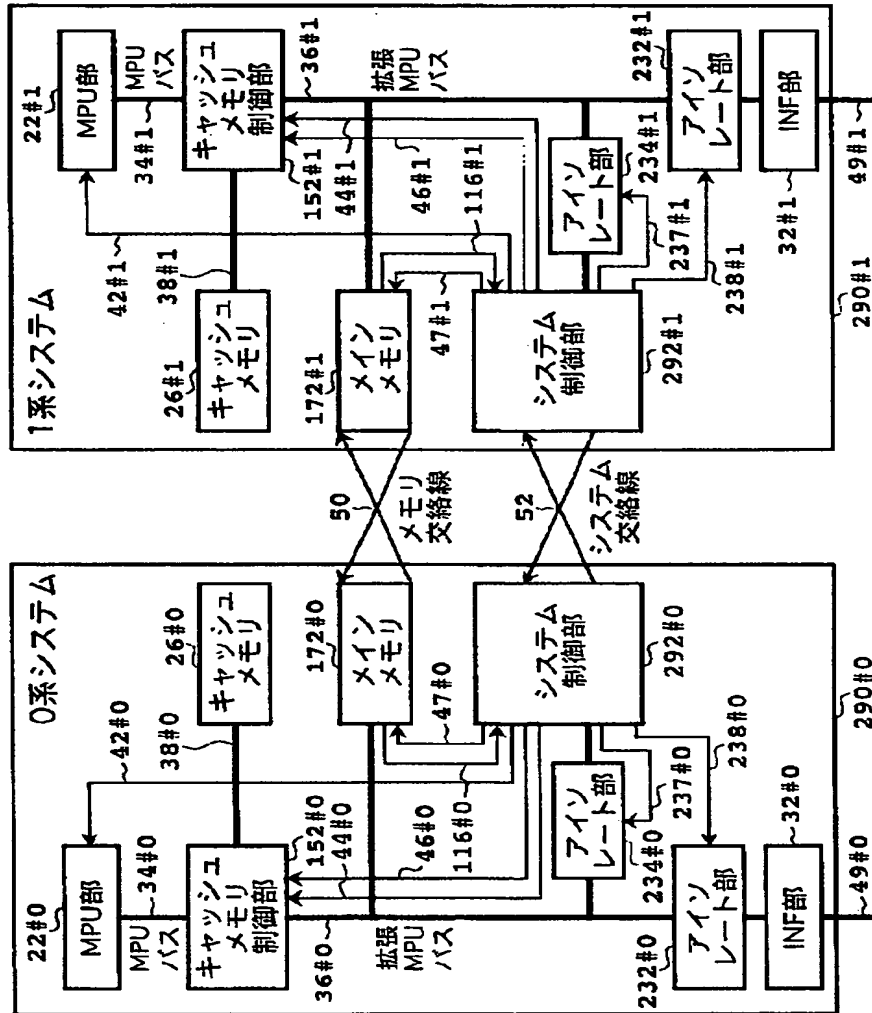
【図 4 1】

本発明の第 1 3 実施形態による二重化システム



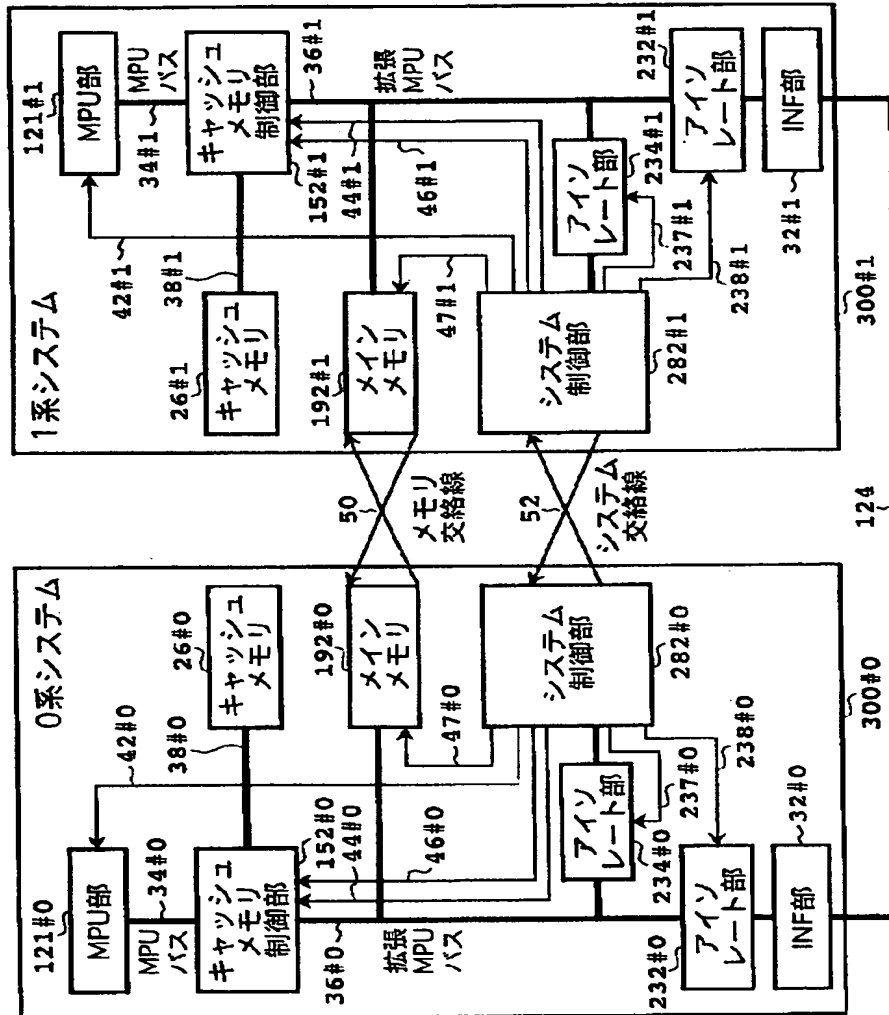
【図 4 2】

本発明の第 1 4 実施形態による二重化システム



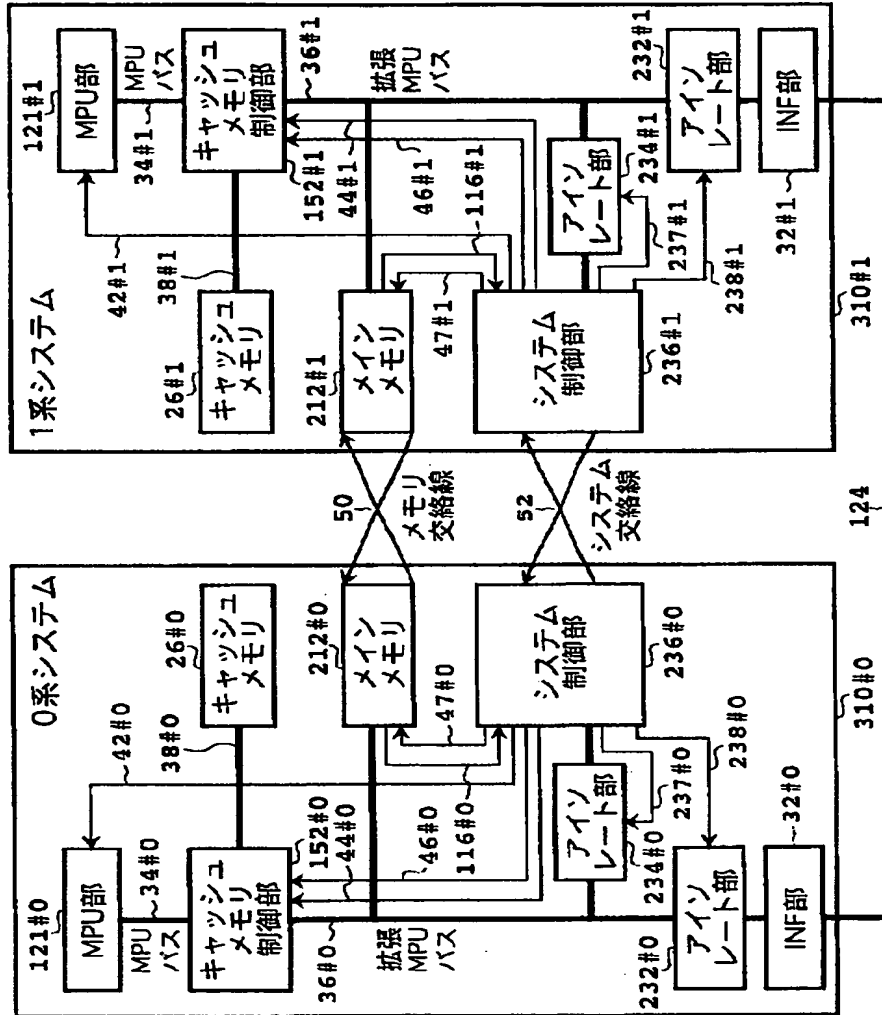
【図 4 3】

本発明の第 1 5 実施形態による二重化システム



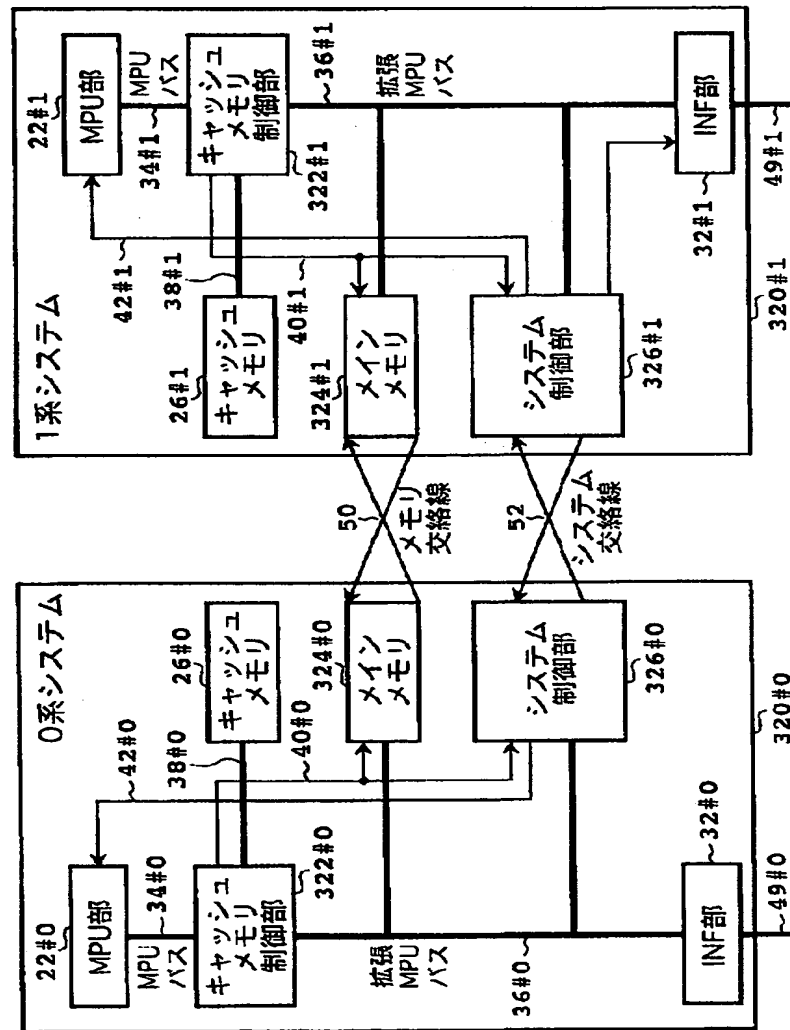
【図 4 4】

本発明の第 1 6 実施形態による二重化システム



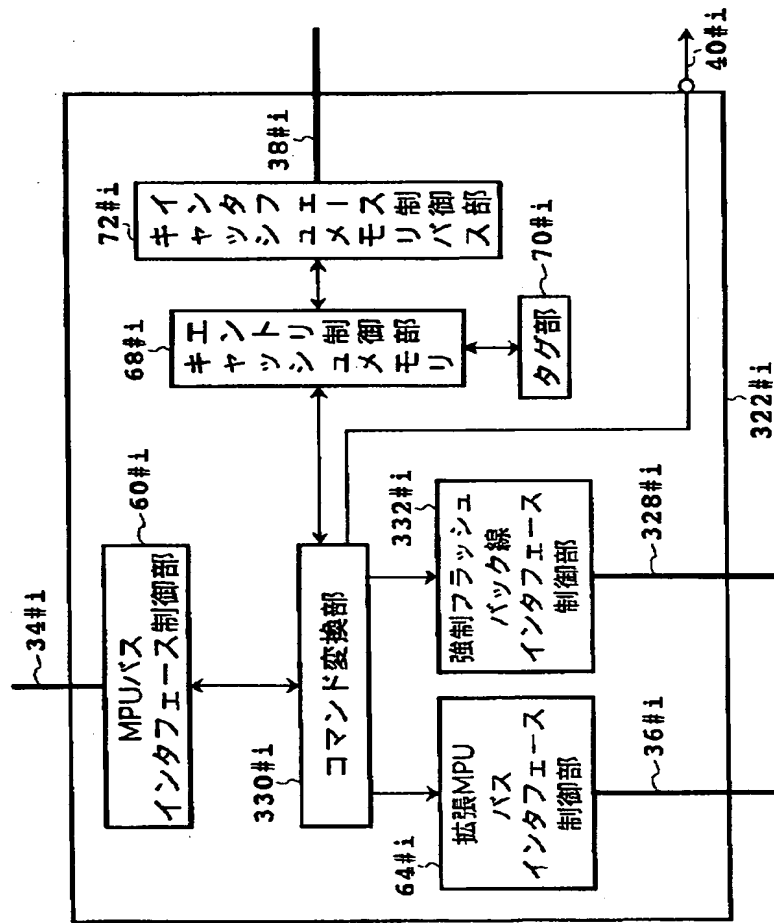
【図 4 5】

本発明の第 1 7 実施形態による二重化システム



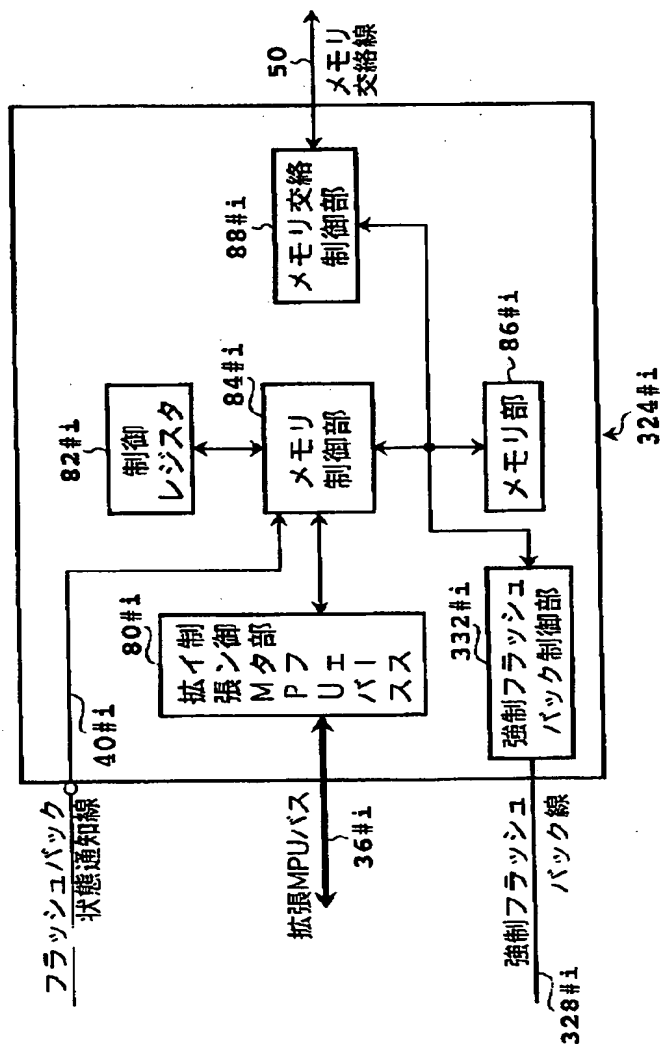
【図 4 6】

図 4 5 中のキャッシュメモリ制御部



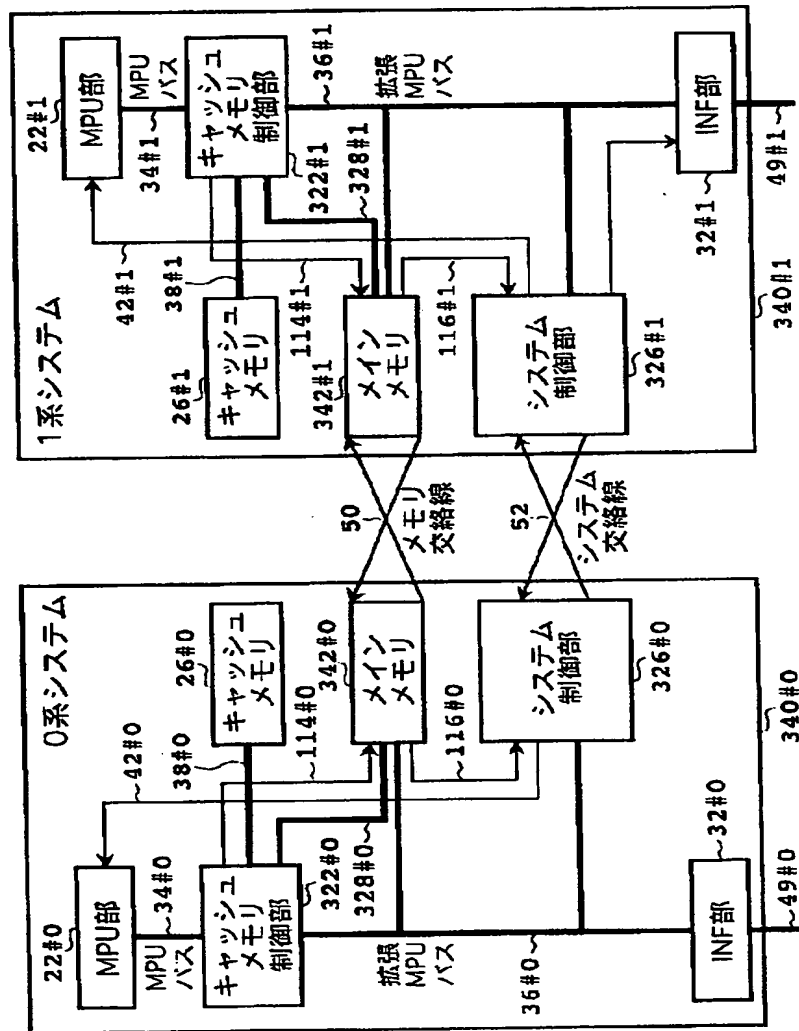
【図 4 7】

図 4 5 中のメインメモリ



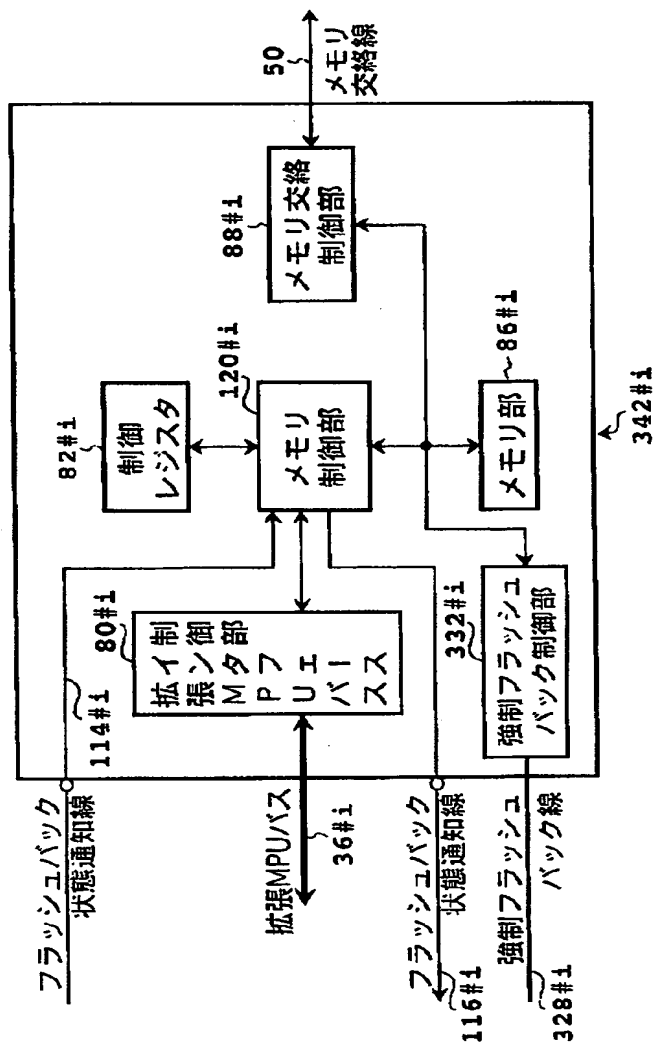
【図 4 8】

本発明の第 1 8 実施形態による二重化システム



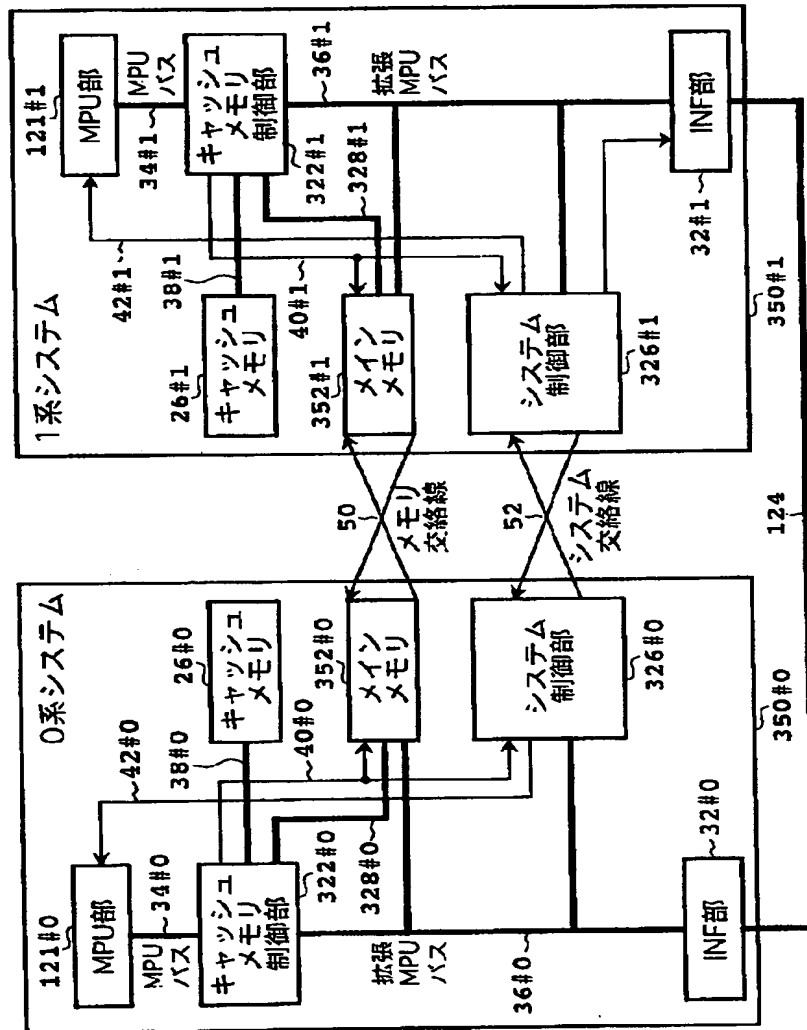
【図 4 9】

図 4 8 中のメインメモリ



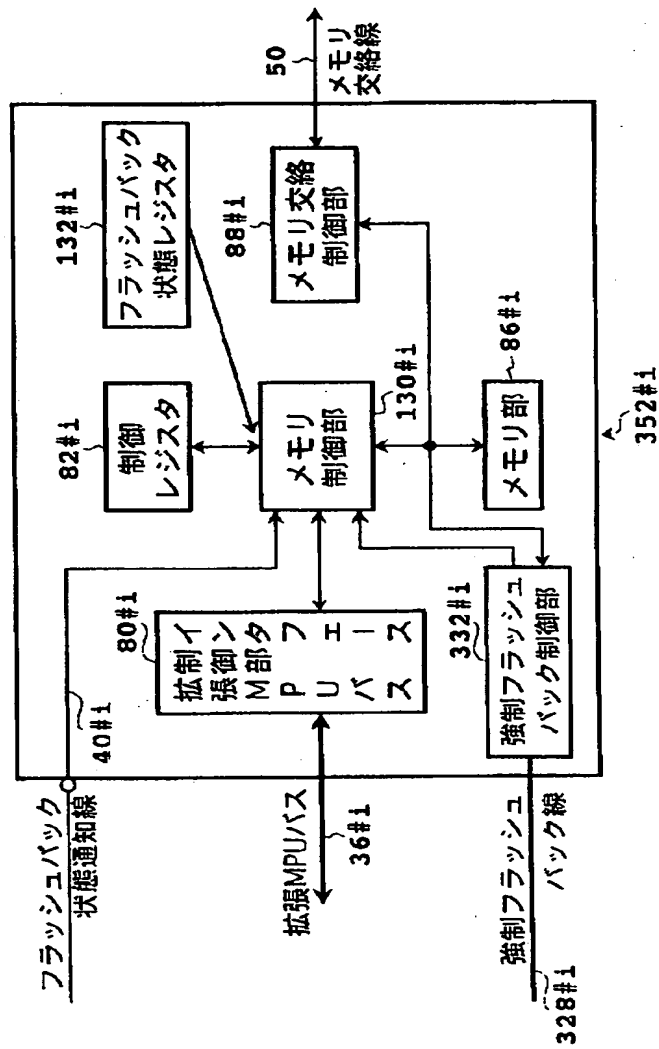
【図 5 0】

本発明の第 1 9 実施形態による二重化システム



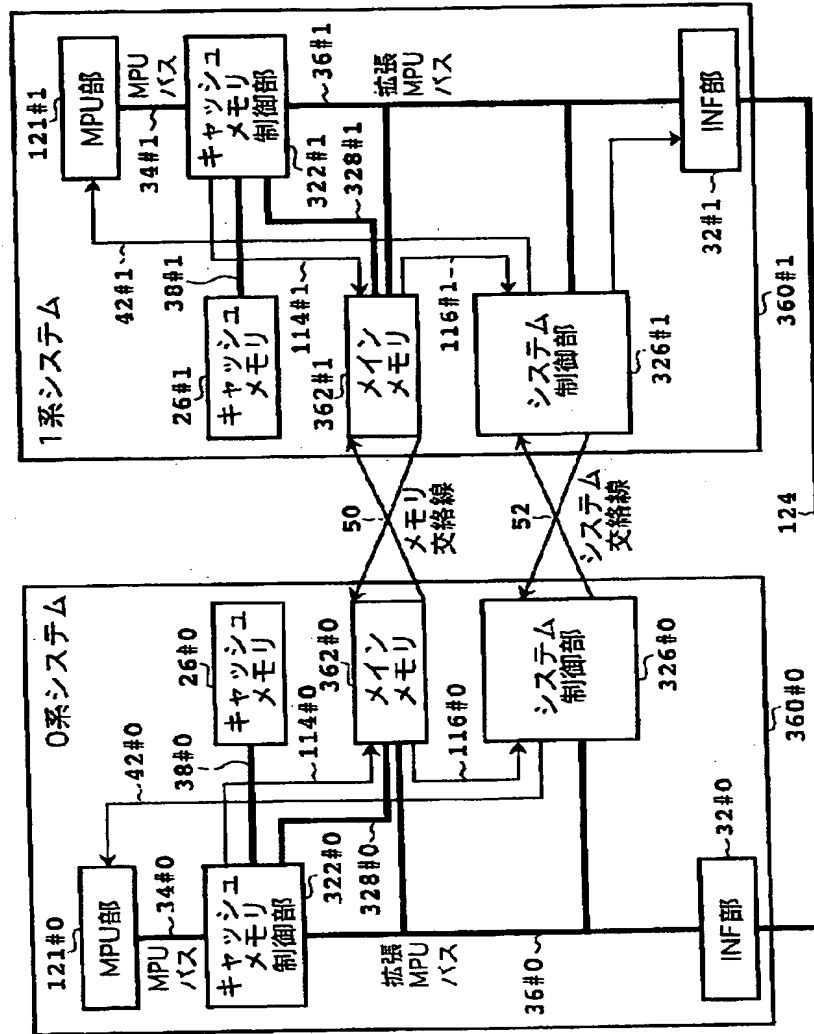
【図 5 1】

図 5 0 中のメインメモリ



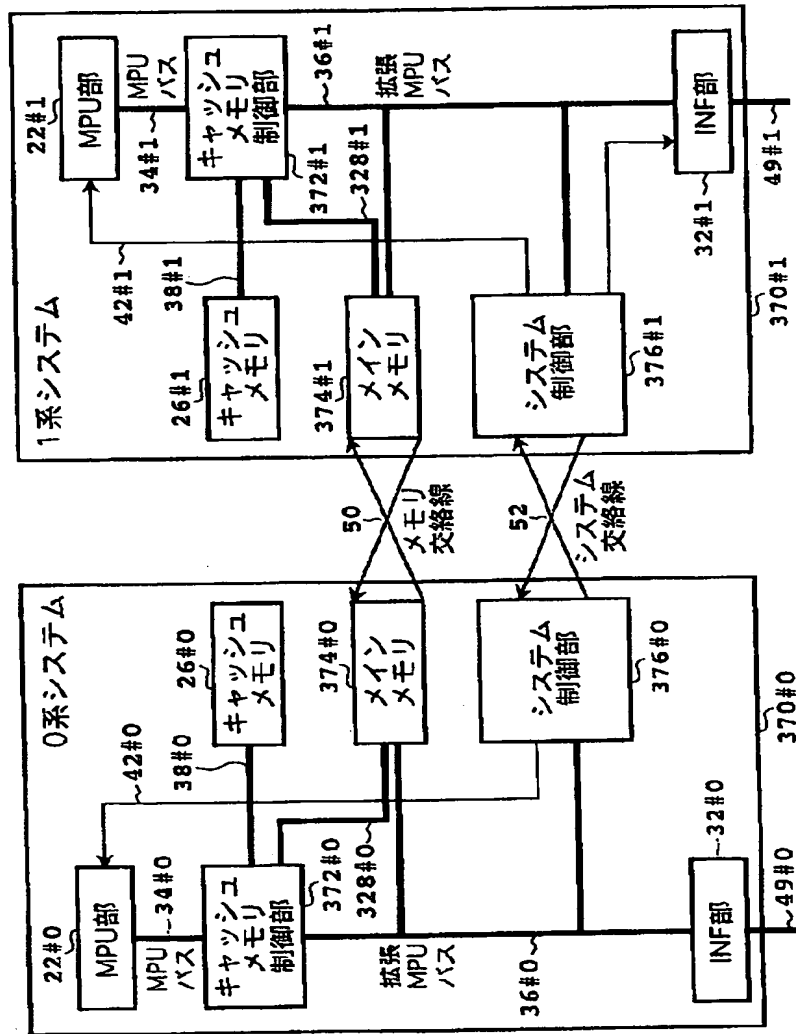
【図 5 2】

本発明の第 2 0 実施形態による二重化システム



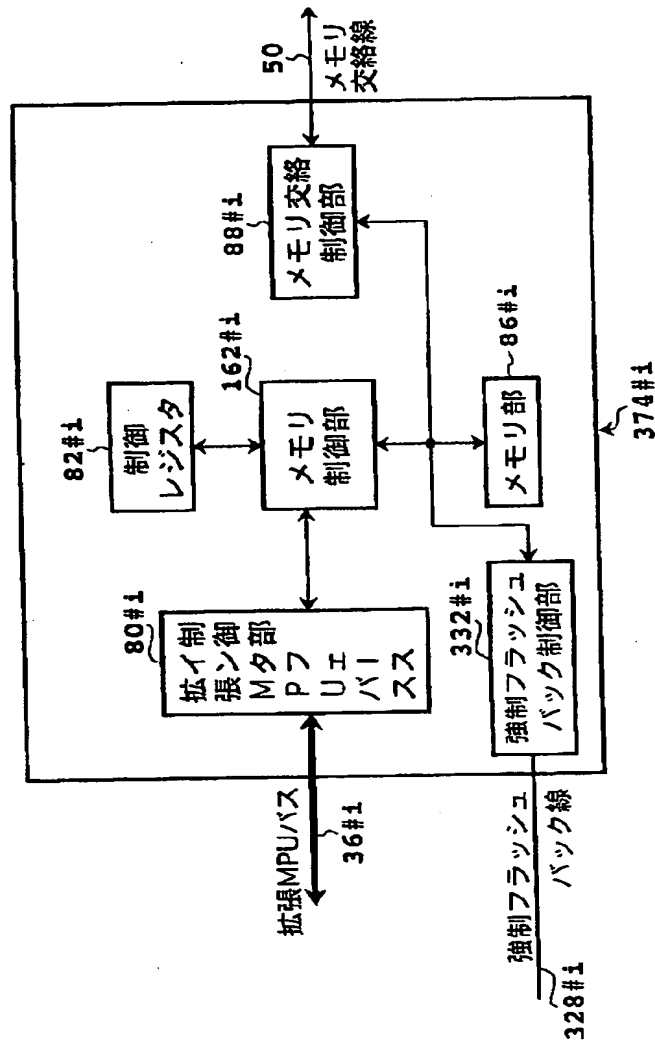
【図 5 4】

本発明の第 2 1 実施形態による二重化システム



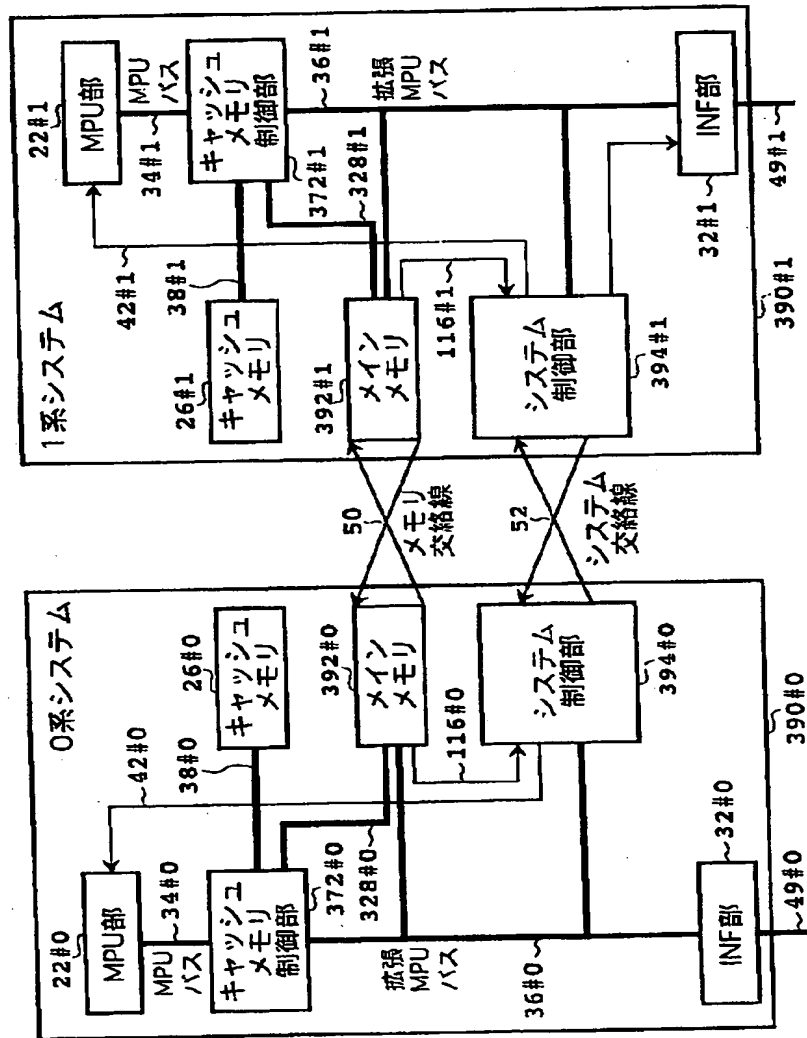
【図 5 5】

図 5 4 中のメインメモリ



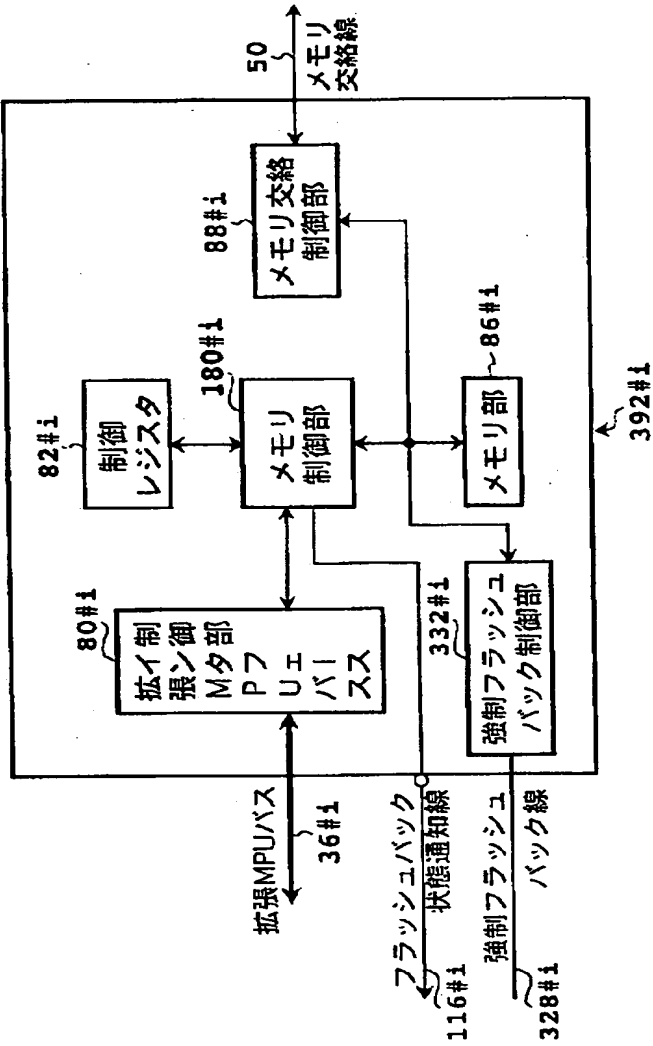
【図 56】

本発明の第 2 2 実施形態による二重化システム



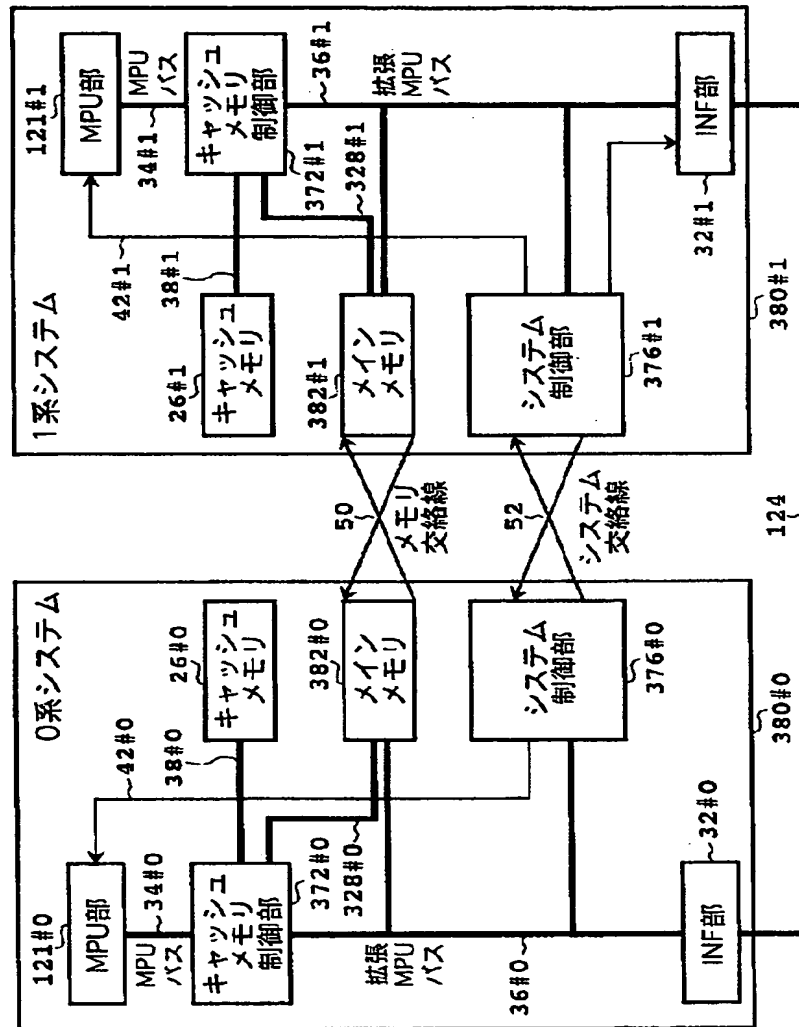
【図 5 7】

図 5 6 中のメインメモリ



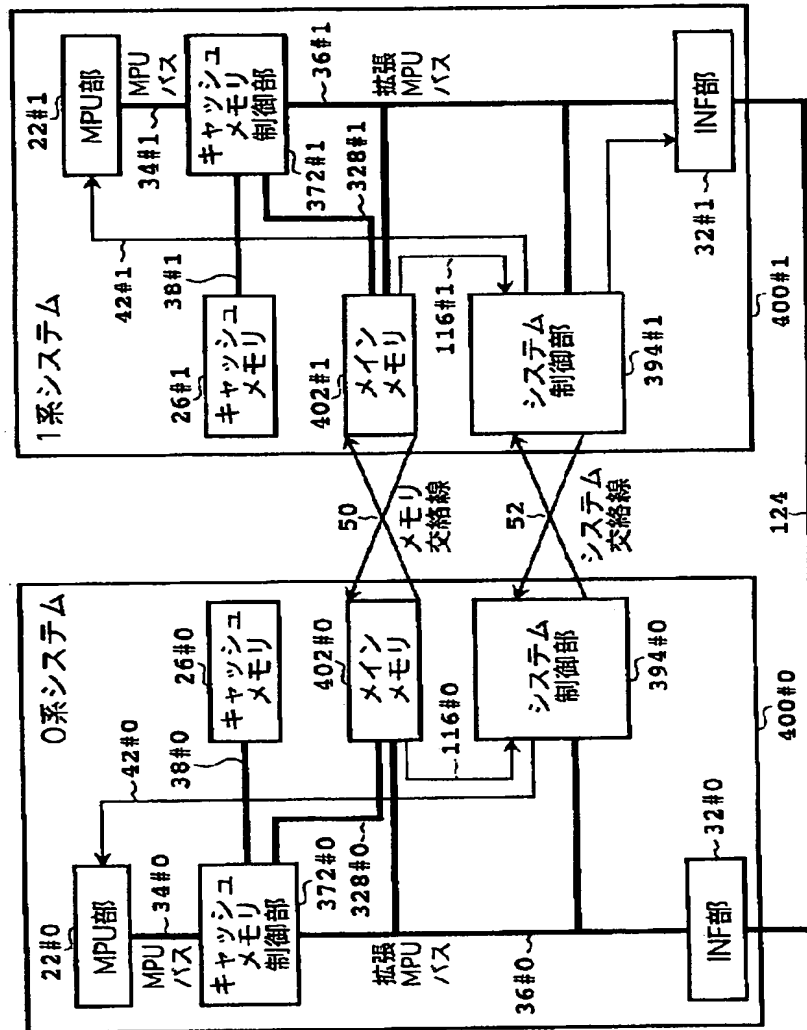
【図 5 8】

本発明の第 2 3 実施形態による二重化システム



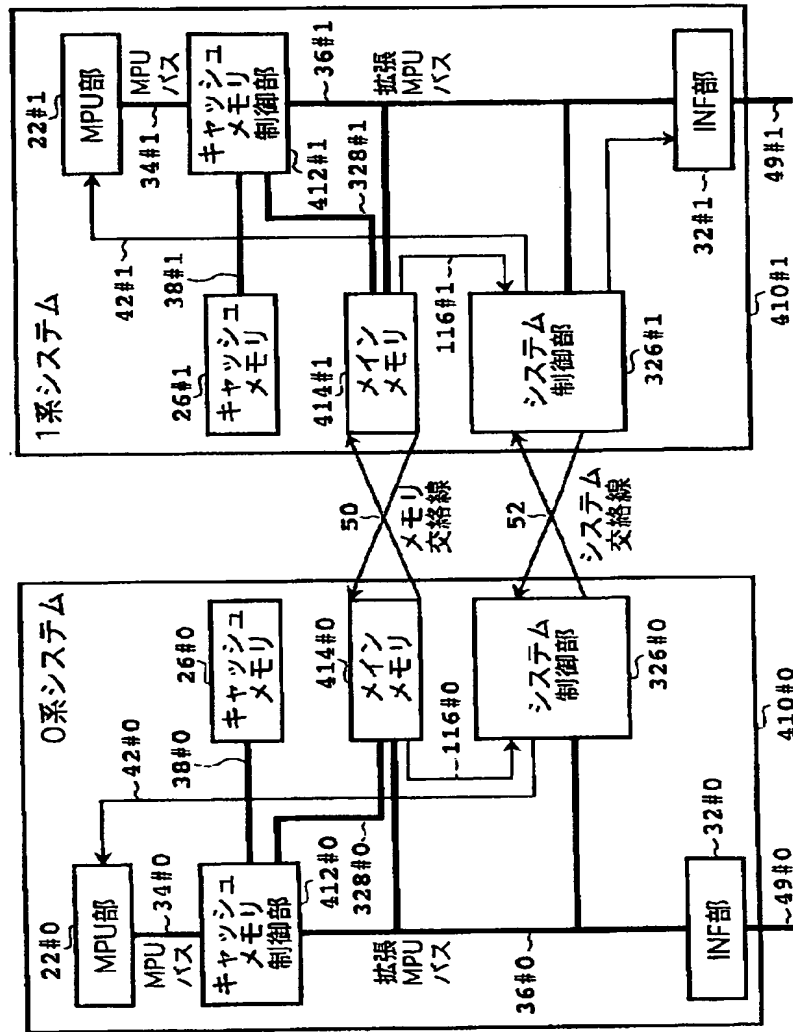
【図 5 9】

本発明の第 2 4 実施形態による二重化システム



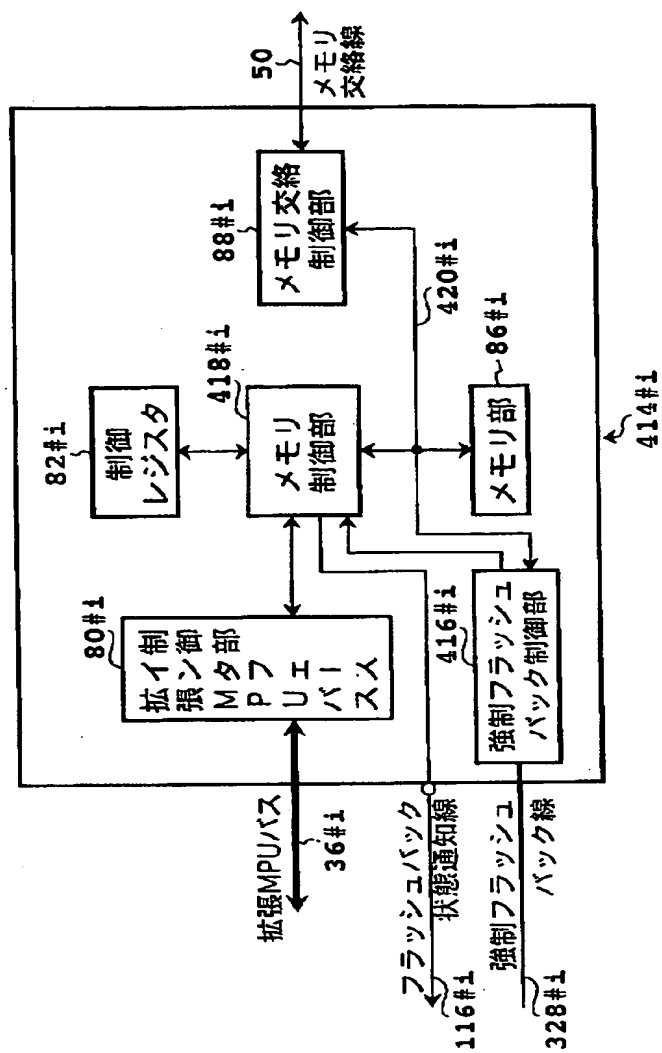
【図 6 0】

本発明の第 2 5 実施形態による二重化システム



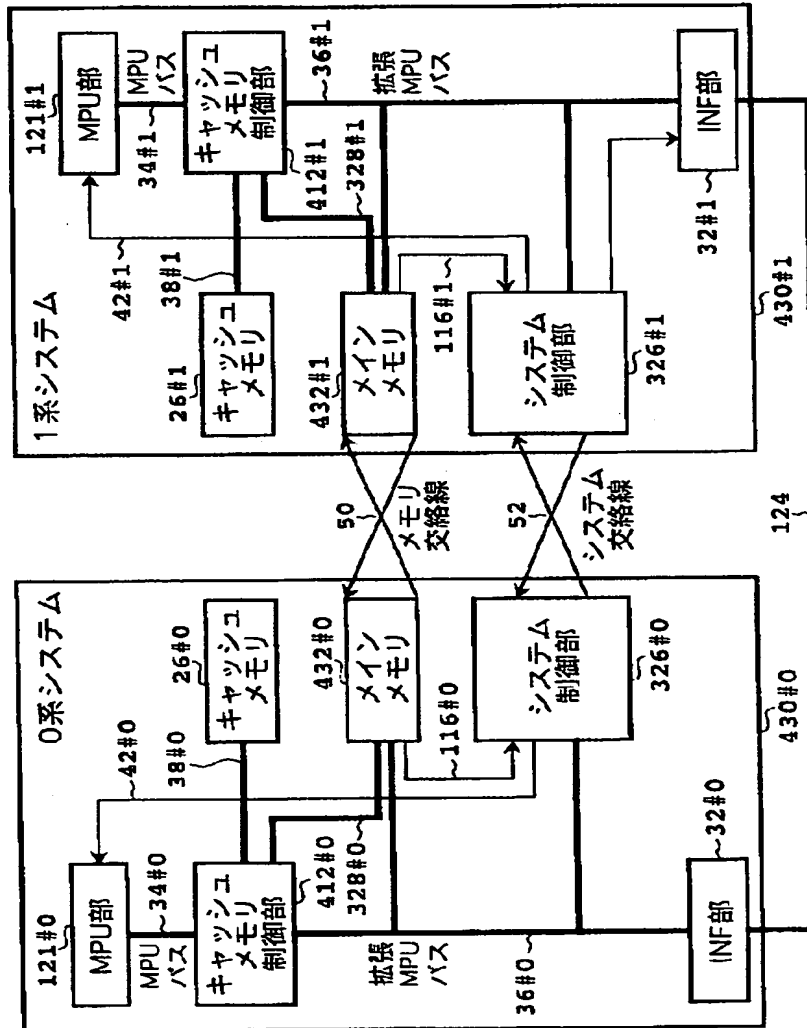
【图 6 1】

図60中のメインメモリ



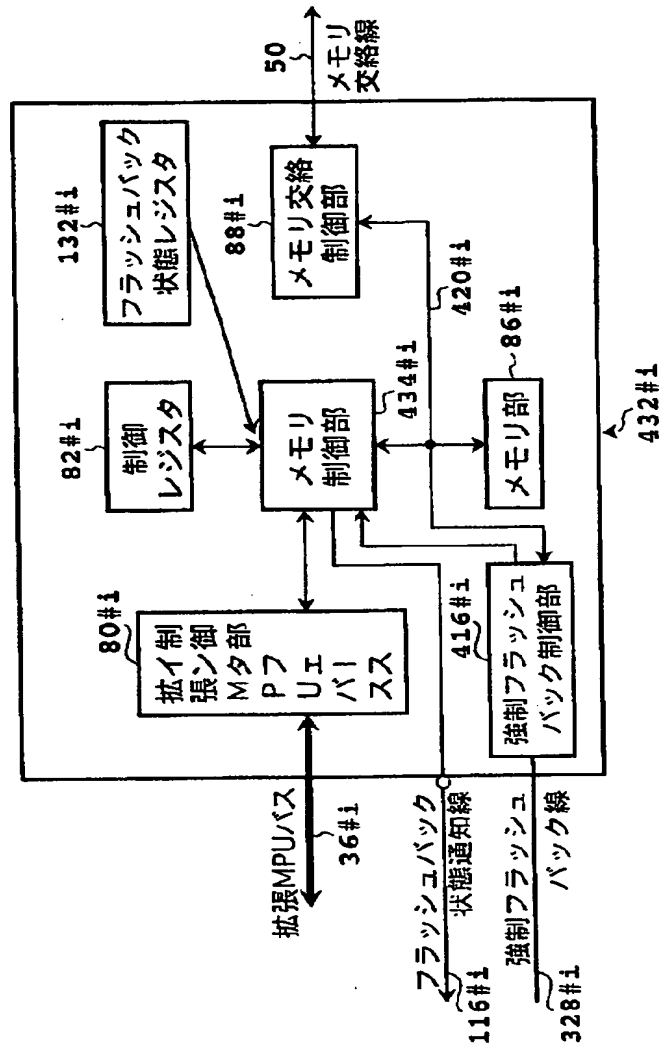
【図 6 2】

本発明の第 2 6 実施形態による二重化システム



【図 6 3】

図 6 2 中のメインメモリ



【書類名】 要約書

【要約】

【課題】 ACT / SBY チェンジの際に障害によるキャッシュメモリの内容欠落によるサービスの中断を回避する二重化システムを提供する。

【解決手段】 二重化システムにおいて、0系システム及び1系システムの各々は、第1バスと、第2バスと、第1バスを通してメモリ部にリード・ライトするメインメモリと、キャッシュメモリと、キャッシュメモリのデータをメインメモリにライトバックするよう指示する第1コマンドを出力するプロセッサと、第1バスの制御に係わる部分がリセットされる第1リセット端子を有し、第1コマンドに基いてキャッシュメモリのデータをメインメモリにライトバック処理をするキャッシュメモリ制御部と、システム交絡線を介してアクト系とスタンバイ系の間の系切り替えを制御するシステム制御部とを具備して構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社